

# 应用指南AN-55 HiperLCS™产品系列



## 设计指南

### 简介

HiperLCS是一个将LLC控制器、上管和下管驱动器以及两个半桥MOSFET集成到一个封装中的集成电路产品系列。

本应用指南提供使用HiperLCS器件设计LLC转换器的信息。

### 范围

本文档适用于具有一定的LLC转换器知识的设计师。本文档将详细介绍HiperLCS的工作原理，提供高频集成变压器的设计指南以及有关HiperLCS PIXIs设计表格使用方法的指导说明，HiperLCS PIXIs设计表格是PI Expert™套件的一部分。请从www.powerint.com下载最新版设计软件；或者，如果您已安装此软件，请使用“帮助”菜单下的“检查最新更新”功能进行更新。

HiperLCS数据手册中还提供了应用信息，其中包括对谐振腔值选取的基本解释以及电路板布局指南。此类信息不再在本文档中重复介绍，因而数据手册在设计过程中也具有一定的指导作用。

### 使用PIXIs设计表格的详细设计步骤

#### 设计表格概述

HiperLCS设计表格是一款非常有用的设计工具，它可以帮助创建一次性通过的LLC设计，然后迭代参数以达到设计目标。为提高设计准确性，设计表格采用稳态LLC开关模型，而不是更常用且过于简单的“基次谐波分析”LLC模型，后者基于纯正弦波形和相量分析。

设计表格可提供：

- $L_{PRI}$ 、 $L_{RES}$ 、 $C_{RES}$  和匝数比的起始值
- 变压器圈数和导线线径的起始值
- 变压器电流和磁通密度的计算
- 损耗计算
- 在额定和最小输入电压下的工作频率的计算，以及其他工作参数的计算
- 对比两个设计的图形
- HiperLCS的无源元件的数值

图1是使用此设计表格获得的设计的示例。

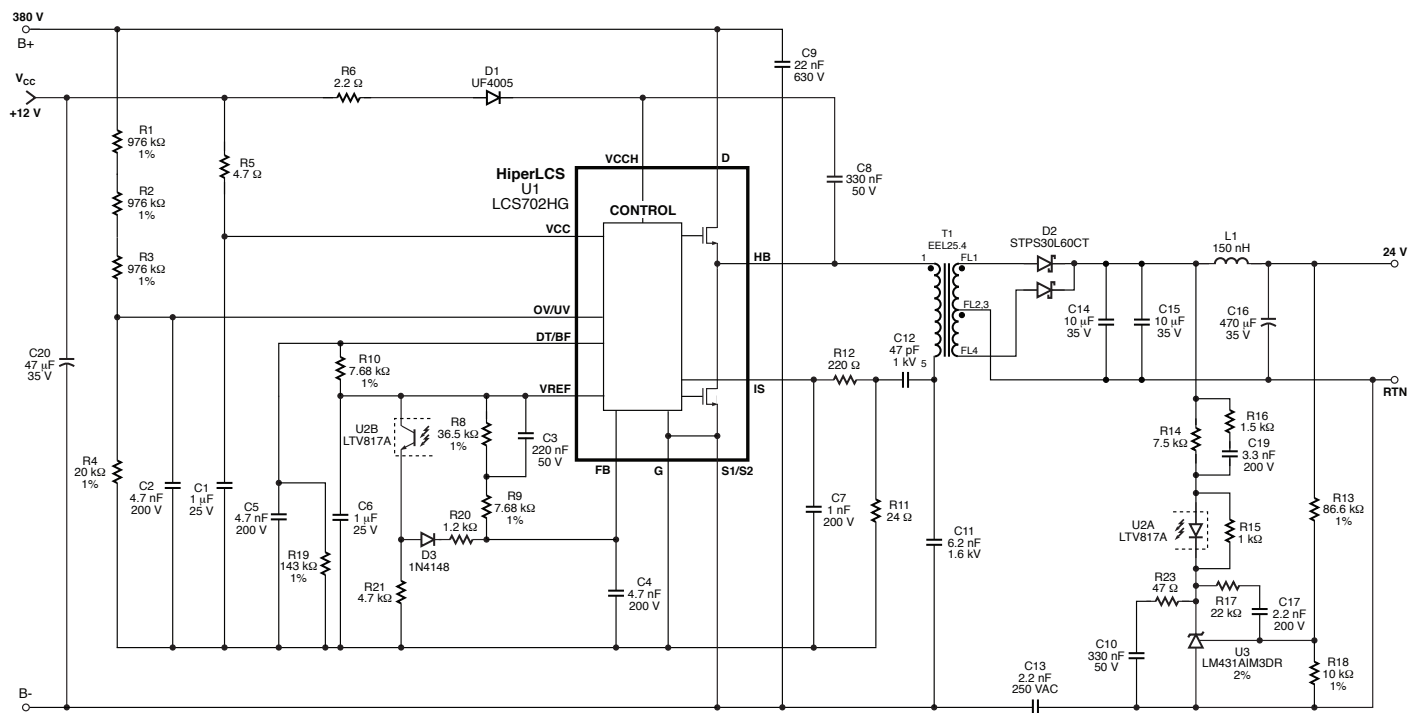


图 1. 使用HiperLCS设计表格生成的设计范例

PI-6160-062011

请注意，对于双路输出设计，本设计表格假定采用“AC叠加”方式的次级。（有关示例，请参见图4和图5。附录B中的图61、62和63显示的是非优选的AC叠加替代方案。）

设计表格的组成为部分和栏。部分标题以粗体大写表示。栏包括“参数名称”、“输入”、“信息”、“输出”、“单位”和“备注”。

在“输入”栏，带有灰色背景的单元格是用户可以更改的输入数据。“输出”单元格将反映用户已输入的数据。如果有输入单元格留空，设计表格将自动计算出建议值。这些数值将显示在相应的输出单元格。例如， $L_{PRI}$ 是一个输入项。如果它留空，设计表格

将会计算出一个建议值。该值将出现在输出栏。这些自动计算得出的数值被建议用于初始设计。设计师随后可以迭代这些数值，以实现其设计目标。

在输入栏中没有灰色背景的单元格只是输出项。这些数值是计算得出的，用户不能直接更改。可以通过更改输入变量来间接修改这些数值。例如， $V_{BROWNIN}$ 从用户输入值 $V_{BROWNOUT}$ 计算得出的。要想更改 $V_{BROWNIN}$ ，则需要先更改 $V_{BROWNOUT}$ 。

“信息”栏将显示警告和错误。“备注”栏通常包含对参数的简短描述。如果出现警告或错误，备注栏则会显示对警告/错误的解释。

### 步骤1：输入输入参数

输入输入参数			
VBULK_NOM		380 V	额定LLC输入电压
Vbrownout		280 V	电压跌落阈值电压。如果电压低于此值，HiperLCS将关断。容许值介于VBULK_NOM的65%和76%之间。设定为65%以获得最大维持时间。
Vbrownin		353 V	大容量电容的启动阈值
VOV_shut		465 V	对体电压的OV保护
VOV_restart		448 V	OV保护后的重新启动电压
CBULK		100 uF	大容量电容满足维持时间要求的最小值；调整维持时间和Vbulkmin可更改大容量电容值
tHOLDUP		21.8 ms	大容量电容维持时间

图 2. HiperLCS设计表格中的“输入输入参数”部分

$V_{BULK\_NOM}$ 是额定输入（大容量电容两端）电压。大部分LLC应用都会采用一个具有固定输出电压的PFC预稳前端。对于最大输入电压为265 VAC的应用，典型的PFC输出电压设定为380 VDC。对于低电压输入范围设计（最大输入电压132 VAC），建议的设定点是190 VDC。然而对于190 VDC设计，在输出功率相同的情况下，初级电流是380 VDC设计的两倍。因此，为取得相同的HiperLCS损耗，必须使用一个 $R_{DS-ON}$ 为1/4的更大型号器件。输入电压设定点越大，LLC效率就越高，但会降低PFC效率。

建议HiperLCS的 $V_{BULK\_NOM}$ 范围介于180 V和450 V之间。输入电压低于此范围将导致效率欠佳。设计表格对额定条件进行计算时假定输入电压等于 $V_{BULK\_NOM}$ 。

HiperLCS通过连接在其OV/UV引脚上的电阻分压器来检测输入电压。上电时，随着 $V_{BULK}$ 的电压升高，HiperLCS将电容两端电压等于 $V_{BROWNIN}$ 时开始工作。如果HiperLCS已开始工作而输入电压在下降，它将在电压等于 $V_{BROWNOUT}$ （设计的最小输入电压）时关断。

$V_{OV\_SHUT}$ 是输入过压保护的设定点。此功能可在线电压陡升时提供保护。HiperLCS将在电压超过 $V_{OV\_SHUT}$ 时关断。当 $V_{BULK}$ 降回到 $V_{OV\_RESTART}$ 时，它将执行软启动。以下比值是固定不变的：

- $V_{OV\_SHUT}$  与  $V_{OV\_RESTART}$
- $V_{OV\_RESTART}$  与  $V_{BROWNIN}$
- $V_{BROWNIN}$  比  $V_{BROWNOUT}$

如果需要不同的比值，可在OV/UV分压器中添加额外的元件。

$V_{BROWNOUT}$ 必须介于 $V_{BULK\_NOM}$ 的65%和76%之间。如果 $V_{BROWNOUT}$ 的设定点高于此范围，则 $V_{BROWNIN}$ 将大于 $V_{BULK\_NOM}$ ，并且HiperLCS将不会在额定输入电压下启动。如果 $V_{BROWNOUT}$ 低于此范围，则 $V_{OV\_RESTART}$ 设定点将低于 $V_{BULK\_NOM}$ ，因此当输入电压陡升触发 $V_{OV\_SHUT}$ 关断而后电压再恢复后，HiperLCS将不会重新启动。

为获得最大维持时间，应将 $V_{BROWNOUT}$ 设定为 $V_{BULK\_NOM}$ 的65%。设计师也可选用高于此电压值的 $V_{BROWNOUT}$ 。在有些情况下，这样可以使用具有高漏感的变压器。它还可以降低电压跌落期间的峰值电流。

设计表格将默认采用以输出功率的66%计算得出的 $C_{BULK}$ 值（对应 $V_{BULK\_NOM} = 380\text{ V}$ ）。维持时间 $t_{HOLDUP}$ 是根据 $C_{BULK}$ 、输入功率、 $V_{BULK\_NOM}$ 和 $V_{BROWNOUT}$ 计算得出的维持时间。当PFC关断或AC供电断电时， $t_{HOLDUP}$ 是大容量电容在满载下从 $V_{BULK\_NOM}$ 放电至 $V_{BROWNOUT}$ 的时间。如果需要不同的维持时间，可对 $C_{BULK}$ 输入一个新的数值。

## 步骤2: 输入LLC (次级) 输出

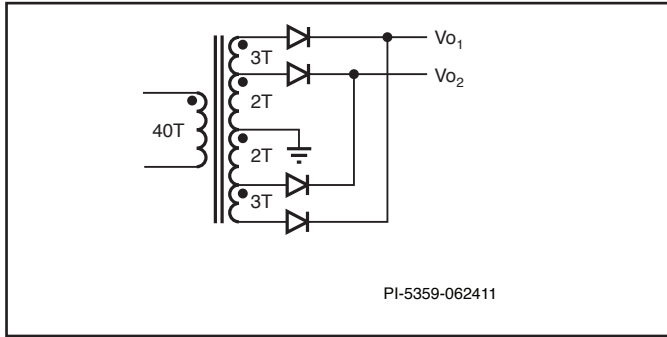
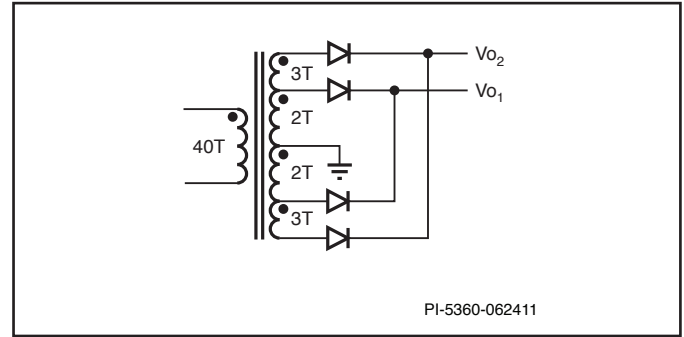
输入LLC (次级) 输出			设计表格假定次级绕组采用AC叠加	
VO1	24.00	24.0 V	主输出电压。设计表格假定这是稳压输出	
IO1	6.00	6.0 A	主输出最大电流	
VD1		0.70 V	主输出中二极管的正向电压	
PO1		144 W	第一路输出的输出功率	
VO2		0.0 V	第二路输出电压	
IO2		0.0 A	第二路输出电流	
VD2		0.70 V	第二路输出中所用二极管的正向电压	
PO2		0.00 W	第二路输出的输出功率	
P_LLC		144 W	LLC总的输出功率	

图 3. HiperLCS设计表格中的“输入LLC (次级) 输出”部分

此设计表格适用于最多两路输出电压的设计。VO<sub>1</sub>和VO<sub>2</sub>分别表示这两个输出电压。如果只有一个输出,可将VO<sub>2</sub>和IO<sub>2</sub>留空。对于双路输出的设计,VO<sub>1</sub>用于计算主“谐振参数”部分中所列的“次级绕组圈数”。VO<sub>1</sub>和VO<sub>2</sub>都可以是较高的输出电压,都可以具有较高的输出电流或功率。请参见图4和图5。

IO<sub>1</sub>和IO<sub>2</sub>是额定输出电流。V<sub>D1</sub>和V<sub>D2</sub>分别指输出二极管的顺向压降。额定电压30 V的肖特基二极管的顺向压降可能低至0.3 V。200 V PN二极管的压降可能> 0.8 V。同步整流管的压降可低至0.05 ~ 0.2 V。

PO<sub>1</sub>和PO<sub>2</sub>分别为计算得出的两路输出的额定输出功率。P<sub>LLC</sub>是计算出的总输出功率。

图 4. 所示为VO<sub>1</sub>电压大于VO<sub>2</sub>的电路图。“次级绕组圈数”始终指VO<sub>1</sub>, 在本例中为5圈。“第1部分绕组的圈数”为2圈,“第2部分绕组的圈数”为3圈图 5. 所示为VO<sub>2</sub>电压大于VO<sub>1</sub>的电路图。“次级绕组圈数”始终指VO<sub>1</sub>输出绕组的圈数,在本例中为2圈。“第1部分绕组的圈数”为2,“第2部分绕组的圈数”为3圈

## 步骤3: LCS器件选择

选择LCS器件		LCS701		LCS 器件	
Device	Auto	LCS701		LCS 器件	
RDSON (MAX)		1.86	ohms	所选器件的RDSON (最大值)	
Coss		187	pF	所选器件的等效Coss	
Cpri		40	pF	变压器初级绕组的杂散电容	
PCOND_LOSS		1.8	W	额定输入电压和满载下的导通损耗	
TMAX_HS		90	deg C	最大散热片温度	
Theta J-HS		9.5	deg C/W	结到散热片的热阻 (涂有散热膏, 但无绝缘垫片)	
Expected Junction temperature		107	deg C	预期的结温度	
Ta max		50	deg C	预期的最大环境温度	
Theta HS-A		23	deg C/W	要求的结到环境之间的热阻	

图 6. HiperLCS设计表格中的“选择LCS器件”部分

对于给定的负载规格,使用器件输入栏的下拉框中的Auto (自动) 可选择所需最小的LCS器件型号。这样可实现最低成本。针对250 kHz,所选用的工作频率的最大建议器件型号大约是最小型号的3倍 (R<sub>DS-ON</sub>的1/3)。如需使用更大型号的器件,建议使用更低的工作频率,因为大型MOSFET的总C<sub>OSS</sub>要求具有更长的ZVS转换时间。

C<sub>PRI</sub>是与变压器初级并联的寄生电容。C<sub>OSS</sub>与C<sub>PRI</sub>之和影响L<sub>PRI</sub>的最大建议值。总电容越大,要求初级励磁电流越大,以便在低输入电压下实现ZVS (零电压开关),因此要求L<sub>PRI</sub>值更低。

R<sub>DS-ON(MAX)</sub>用于计算器件损耗P<sub>COND\_LOSS</sub>。T<sub>MAX\_HS</sub>为规定允许的HiperLCS散热片最高温度。此温度、规定的最大环境温度T<sub>A-MAX</sub>以及P<sub>COND\_LOSS</sub>直接会影响到所要求的散热片至环境之间的热阻θ<sub>HS-A</sub>。散热片的物理尺寸与θ<sub>HS-A</sub>成正比。

## 步骤4: LLC谐振参数和变压器的计算

LLC谐振参数和变压器计算 (生成红色曲线)			
Po		148 W	来自LLC转换器的输出, 包括二极管损耗
Vo		24.70 V	变压器绕组的主输出 (包括二极管压降)
f_target		250 kHz	PFC和LLC所需的满载开关频率。66 kHz到300 kHz, 建议值为250 kHz
Lpar		291 uH	并联电感。(对于集成变压器, Lpar = Lopen - Lres; 对于非集成低漏感变压器, Lpar = Lmag)
Lpri		364 uH	对于集成变压器, 此值为初级开路电感; 对于非集成低漏感变压器, 此值为初级漏感与串联电感的和。如果将其留空, 自动计算将显示在Vnom的80%下失去ZVS工作所需的感量数值
Lres		72.8 uH	集成变压器的串联电感或初级漏感; 如果将其留空, 自动计算将基于K=4
Kratio		4.0	Lpar与Lres的比值。维持K值在2.1 < K < 11之间。首选Lres时, 可使K<7
Cres		5.6 nF	串联谐振电容。红色背景单元格生成红色图形。如果将Lpar、Lres、Cres和n_RATIO_red_graph留空, 它们将由设计表格自动计算得出
Lsec		5.203 uH	主输出一个相位绕组的次级侧电感; 测量并输入此值, 或调整此值, 直到f_predicted与测量值相匹配
m		50 %	漏感分布因子(初级到次级)。99%表示大部分漏感都在初级侧
n_eq		7.48	LLC等效电路理想变压器的匝数比
Npri		50.2	初级绕组圈数; 如果输入为空, 默认值将自动计算得出, 以使f_predicted = f_target
Nsec		6.0	次级绕组圈数(主输出的每个相位)。默认值是保持BAC<=2000高斯的估计值
f_predicted		250 kHz	额定输入电压和满载下的预期频率; 很大程度上受到n_Ratio和初级绕组圈数的影响
f_res		250 kHz	串联谐振频率(由串联电感Lres和C定义)
f_brownout		177 kHz	VBULK_MIN和满载下的开关频率
f_par		112 kHz	并联谐振频率(由Lpar + Lres和C定义)
f_inversion		161 kHz	Vbrownout和满载下的最小频率。将HiperLCS最小频率设为此值。在低于此频率下工作可导致在增益反转的区域内工作
Vinversion		251 V	LLC功率转换电路在达到在低频率增益反转点之前的最小输入电压。最佳值应等于Vbrownout

图 7. HiperLCS设计表格中的“LLC谐振参数和变压器计算”部分

## 概述

这部分与LLC谐振腔和集成变压器设计有关。它提供有关谐振腔和变压器的建议值, 包括: 初级电感、串联电感、谐振电容和变压器匝数比。当这些输入单元格留空时, 这些单元格中将会显示建议的数值。用户可以覆盖这些值。用户需指定目标额定开关频率 $f_{TARGET}$ 。

这部分可生成功率转换电路的满载工作频率相对于大电容电压变化的特征曲线(以红色轨迹线显示)。如需查看图形, 可单击设计表格底部的选项卡。图形还将以蓝色轨迹线显示来自“虚拟变压器试验”部分的结果。

## 设计集成变压器和谐振腔的一般程序

1. 使用设计表格确定一个初始设计。检查 $f_{RES}$ (串联谐振频率)。在设计表格中调整 $N_{PRI}$ , 以便根据需要调整 $f_{PREDICTED}$ (额定工作频率), 使其高于或低于 $f_{RES}$ 。建议 $f_{PREDICTED}$ 的数值略低于 $f_{RES}$ (工作频率低于谐振频率, 输出二极管电流非连续)4-9%。如果需要更高的 $f_{PREDICTED}$ , 输入一个较低的谐振电容值以提高 $f_{RES}$ 。

2. 制作一个用于测试的变压器以测量漏感。可以采用与建议的利兹线具有相同线径的漆包线作为替代品来绕制变压器。利用设计表格中的“初级”和“次级”部分来帮助选择骨架和利兹线线规。
3. 在设计表格中输入测得的漏感以确定它是否可以接受(是否得出 $2.5 < K_{RATIO} < 7$ )

$$\text{其中, } K_{RATIO} = \frac{L_{PRI}}{L_{RES}} - 1$$

注意, 设计表格不能以 $K_{RATIO} < 2$ 或 $K_{RATIO} > 12$ 执行计算。否则, 将生成一条错误信息。

4. 如果漏感不可接受, 则需修改变压器设计; 通过改变初级和次级绕组圈数, 利用“虚拟变压器试验”部分来预测漏感的数值。如果更改次级绕组圈数, 需维持匝数比不变。
5. 在初级绕组中使用利兹线, 圈数增加一或两圈来制作一个实际的变压器。这样做是因为在对面变压器圈数进行调整时减少一圈绕组比增加一圈绕组更加容易些。额外的导线可用于连接电流探头。



6. 在设计表格中输入实际的 $N_{PRI}$ 、 $N_{SEC}$ 、测得的 $L_{PRI}$ 、 $L_{RES}$ 和 $C_{RES}$ 。
7. 在约50%负载点对LLC上电，通过调节输入电压直到初级电流接近纯正弦（参见本文档“LLC波形分析”部分中的图25）来确定电路的在线串联谐振频率，并记录频率和输入电压；此电压称为 $V_{INPUT(RESONANCE)}$ 。此时假定波形是正常的，没有因为布局和变压器次级绕组问题而产生非对称工作。
8. 在设计表格中调整 $L_{RES}$ ，使其反映实际谐振频率。此值是准确的，因为它包含了次级侧的寄生电感。
9. 将从步骤7中获得的输入电压暂时输入至 $V_{BULK\_NOM}$ 。
10. 调整设计表格中的 $L_{SEC}$ 值，直到 $f_{PREDICTED}$ 和 $f_{RES}$ 与实际频率相匹配。
11. 此时，设计表格就具备了一个准确的变压器模型，包括漏感分布因子‘m’。这样可以提高对“虚拟变压器试验”部分中变压器所作假设(what-if)变化的预测准确性。
12. 将 $V_{BULK\_NOM}$ 改回额定值。
13. 开路初级电感 $L_{PRI}$ 影响LLC以完全ZVS工作的电压范围。寻找由于磁化能量不足而导致轻微ZVS损耗的工作点，工作条件可以从低压/满载、高压/满载及最小负载的情况开始。（参见本文档“LLC波形分析”部分中的图30至图33）。必要时，降低初级电感以扩大ZVS的工作范围，反之亦然。在电压跌落期间（非稳态）出现部分ZVS损耗是可以接受的，这样是为了通过采用更大的初级电感来提升效率。检验并确认死区时间已在低压满载（短转换时间）和高压轻载（长转换时间）之间达到合理的平衡。（参见本文档“LLC波形分析”部分中的图29和图34）。更短的死区时间将截断高压轻载下的转换，导致更早出现高频增益反转和脉冲串模式工作。
14. 如果需要对谐振腔进行更改，应在“虚拟变压器试验”部分对设计变化进行评估。减少初级绕组圈数可提高 $f_{PREDICTED}$ 。增大 $C_{RES}$ 可降低 $f_{RES}$ 。注意，对于给定的 $L_{PRI}$ ，减少初级绕组圈数将会扩大ZVS的工作范围。
15. 用所要求的变化制作一个新的变压器。如果初始变压器在绕制时多了一圈或两圈，则需要予以减少。注意，设计表格可能会要求对信号引脚电阻的数值进行更改。
16. 必要时，可重复步骤3至步骤13。
17. 测量电压跌落期间的热性能、效率、启动电流和初级电流。根据需要对变压器进行迭代设计。

## 集成变压器等效电路概述

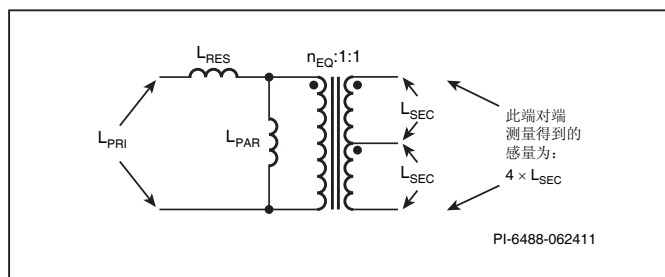


图8. “设计表格中使用的“一个漏感”集成变压器等效电路。注意，等效电路匝数比“ $n_{EQ}$ ”是虚拟初级绕组圈数与一个相位次级绕组圈数的比值

设计表格所使用的集成变压器等效电路如图8所示。该变压器是一个理想变压器。其匝数比是 $n_{EQ}:1:1$ ，其中 $n_{EQ}$ 是“等效电路匝数比”。此值始终小于实际的物理匝数比（初级绕组圈数除以次级绕组圈数）。次级绕组圈数是一个主输出相位（在设计表格中以 $VO_1$ 表示）的总圈数。 $L_{PRI}$ 只是变压器的初级开路电感。通过在一个次级绕组相位短路的情况下测量初级电感，很容易测量出串联谐振电感 $L_{RES}$ 。 $L_{SEC}$ 由于值非常低，所以不容易测量。它的值可根据初级电感、初级和次级绕组圈数以及漏感分布因子 $m$ （当 $L_{SEC}$ 输入单元格留空时，默认值为50%）自动计算出来。要想测量 $L_{SEC}$ ，可同时测量两个次级相位上的电感，将其除以4，然后将所得值输入设计表格。如果用户输入不同的 $L_{SEC}$ 值，设计表格将为 $m$ 计算出新值。如果所输入的 $L_{SEC}$ 值产生了一个下小于1%或大于99%的 $m$ 值，则会显示警告信息。

除了测量实际 $L_{SEC}$ 的数值以外，用户还可以制作一个变压器并进行测量，然后在设计表格中调整 $L_{SEC}$ 值，直到 $f_{PREDICTED}$ 与实际电路工作相匹配（假定其他参数 $L_{PRI}$ 、 $L_{RES}$ 和 $C_{RES}$ 都是准确的）。这包括考虑到从次级绕组，到输出二极管，再到主输出电容的寄生布局电感的影响。这样可以提高设计表格模型的准确性，同时也可以提高“虚拟变压器试验”部分中对变压器所做假设(what-if)情况的准确性，以帮助用户进行迭代设计。

图8中的“一个漏感”模型是另一个更常用、更复杂的集成变压器等效电路（初级和次级漏感相互分开）的简化版。初级和次级漏感相互分开的模型称为“两个漏感”模型。这两个模型互相等效，一个漏感的集成变压器模型可充分描述LLC电路。在这里没有使用两个漏感的模型，但在附录A中有所描述，仅供参考。

### 初级电感量

建议的初级电感量是一个估算值，该值可保证在电压降至额定  $V_{BULK}$  约80%且满载条件下仍能够以ZVS进行工作。随着输入电压下降，LLC转换器将开始在某个点失去ZVS工作特性，具体取决于初级电感量。变压器的初级电感量可通过调整磁芯气隙的大小来改变。调整磁芯的气隙对漏感  $L_{RES}$  的影响极小。

建议电感值与目标频率、HiperLCS MOSFET漏极电容( $C_{OSS}$ )、变压器初级杂散电容和额定功率呈函数关系。如果需要在更低的输入电压下保证完全ZVS工作，则可将初级电感量减小。这样会增大初级励磁循环电流，从而具有更多的能量给初级电容进行充放电。缺点是会增加初级损耗，降低额定输入电压下的效率。

开始出现部分ZVS损耗的实际输入电压是无法准确预测的，因为它很大程度上取决于包括输出二极管电容和次级PCB板布局对称性在内的诸多因素。不对称会导致一个边沿比另一个边沿更早地失去ZVS。如果低压工作不是稳态工作条件，则低压下存在部分ZVS损耗是可以接受的。不建议在稳态条件下出现任何ZVS损耗。也不建议在非稳态条件下出现严重的ZVS损耗。如果在测试期间确定在极低输入电压（仍高于  $V_{BROWNOUT}$ ）下出现部分ZVS损耗是可以接受的，则可以增大初级电感量。

### 谐振电感和电容

设计表格中的谐振电感为图8中所示的  $L_{RES}$ 。它是在一个相位的次级绕组短路的情况下在初级端测得的。此电感可在串联谐振频率  $f_{SER}$  处与谐振电容  $C_{RES}$  发生谐振。如果将其留空，设计表格会自动计算一个  $L_{RES}$  建议值，使得  $K_{RATIO}$  为4。

### 步骤5: RMS电流和电压

RMS电流和电压			
IRMS_LLC_Primary		0.97 A	在满载、额定输入电压( $V_{bulk}$ )和 $f_{nominal\_actual}$ 下的初级绕组RMS电流
Winding 1 (Lower secondary Voltage) RMS current		4.8 A	绕组1 (较低次级电压) 的RMS电流
Lower Secondary Voltage Capacitor RMS current		3.0 A	较低次级电压电容的RMS电流
Winding 2 (Higher secondary Voltage) RMS current		0.0 A	绕组2 (较高次级电压) 的RMS电流
Higher Secondary Voltage Capacitor RMS current		0.0 A	较高次级电压电容的RMS电流
Cres_Vrms		111 V	在满载和额定输入电压下的谐振电容两端的AC RMS电压

图9. HiperLCS设计表格中的“RMS电流和电压”部分

这部分计算初级绕组、绕组1、绕组2、输出电容和主谐振电容中的RMS电流。

能够使得  $K_{RATIO}$  介于2.5和7之间的  $L_{RES}$  数值的设计是可以接受的。如果  $K_{RATIO}$  值远高于7，那么所生成的设计将具有低的  $f_{BROWNOUT}$ （低压下的工作频率），在电压跌落点时会出现高的峰值电流和RMS电流，并在轻载下具有更长的转换时间。从电压跌落期间的磁芯饱和与输出纹波电压的角度来看，低的  $f_{BROWNOUT}$  是可以接受的。不过，轻载下的长转换时间可能会导致过早出现轻载增益反转点，这样会在中度负载下出现脉冲串工作模式。

下面的值将在这部分进行计算：

$f_{PREDICTED}$ ：此值是满载和  $V_{BULK\_NOM}$  下的预计开关频率。匝数比对此值有最大的影响。在计算建议的匝数比时就是为了使  $f_{PREDICTED}$  等于  $f_{TARGET}$ 。LLC将在  $V_{BULK\_NOM}$  下以谐振频率工作。

$N_{PRI}$ ：变压器初级绕组圈数。建议值可使LLC在  $V_{BULK\_NOM}$  下以谐振频率工作。

$N_{SEC}$ ：变压器次级绕组圈数。这是由用户输入的值。如果将其留空，设计表格将根据所选磁芯以120 mT (p-p)的目标AC磁通密度 ( $B_{AC}$ ) 进行自动计算。

$f_{INVERSION}$  和  $V_{INVERSION}$  分别是满载下功率转换电路增益发生反转时的频率和输入电压。不要将它与轻载增益反转相混淆。此处表示的是LLC功率转换电路的最大谐振增益。 $V_{INVERSION}$  必须小于  $V_{BROWNOUT}$ 。注意，ZVS损耗将在输入电压大于  $V_{INVERSION}$  时开始。当电压大于  $V_{BROWNOUT}$  时可产生轻微的ZVS损耗，具体取决于  $L_{PRI}$  的数值。如果它未处于稳态条件下，这是可以接受的。

## 步骤6: 虚拟变压器试验 - (生成蓝色曲线)

虚拟变压器试验 (生成蓝色曲线)			
New primary turns		50.2	试验变压器的初级绕组匝数; 默认值来自谐振部分
New secondary turns		6.0	试验变压器的次级绕组匝数; 默认值来自谐振部分
New Lpri		364 uH	试验变压器的开路电感; 默认值来自谐振部分
New Cres		5.6 nF	串联电容的试验值 (如果将其留空, 所选的计算值应使 $f_{res} = f_{target}$ )
New estimated Lres		72.8 uH	试验变压器的Lres估计值
New estimated Lpar		291 uH	试验变压器的Lpar估计值
New estimated Lsec		5.203 uH	次级漏感的估计值
New Kratio		4.0	试验变压器的Lpar与Lres的比值
New equivalent circuit transformer turns ratio		7.48	估计的有效变压器匝数比
V powertrain inversion new		251 V	大容量电容的电压, 低于此值将失去ZVS
f res trial		250 kHz	新的串联谐振频率
f_predicted_trial		250 kHz	新的额定工作频率
IRMS_LLC_Primary		0.97 A	在满载、额定输入电压(Vbulk)和f_predicted_trial下的初级绕组RMS电流
Winding 1 (Lower secondary Voltage) RMS current		4.8 A	流经输出1绕组的RMS电流, 假定为半正弦波形
Lower Secondary Voltage Capacitor RMS current		3.0 A	较低次级电压电容的RMS电流
Winding 2 (Higher secondary Voltage) RMS current		4.8 A	流经输出2绕组的RMS电流; 输出1绕组AC叠加在输出2绕组上
Higher Secondary Voltage Capacitor RMS current		0.0 A	较高次级电压电容的RMS电流

图 10. HiperLCS设计表格中的“虚拟变压器试验”部分

这部分用来测试对变压器和谐振参数的更改。计算结果将绘制在图形选项卡中, 可方便地与主谐振参数部分生成的红色迹线进行比较。用户可对以下变量的默认值(设计表格从“主谐振”部分复制过来)进行修改, 以便检查计算结果:  $N_{PRI}$ 、 $N_{SEC}$ 、 $L_{PRI}$

和 $C_{RES}$ 。计算结果将显示在设计表格中。这部分不影响设计表格中的其他部分。默认值与主谐振部分的值相同, 以使蓝色迹线能隐藏在红色迹线后面而不被看到。一旦用户覆盖任何值, 蓝色迹线将会显示。请参见图22。

## 步骤7: 变压器磁芯计算

变压器磁芯计算 (从谐振参数部分计算)			
变压器磁芯	Auto	EEL25	变压器磁芯
Ae		0.4 cm <sup>2</sup>	输入变压器磁芯的截面积
Ve		3.0 cm <sup>3</sup>	输入磁芯的体积
Aw		107.9 mm <sup>2</sup>	窗口面积
Bw		22.0 mm	骨架总宽度
Loss density		200.0 mW/cm <sup>3</sup>	输入在开关频率和BAC下每单位体积的损耗 (单位与kW/m <sup>3</sup> 相同)
MLT		3.1 cm	平均每圈长度
N_CHAMBERS		2.0	骨架槽数
W_SEP		3.0 mm	绕组分隔板厚度 (将减小可用绕线面积)
Ploss		0.6 W	估计的磁芯损耗
Bpkfmin		144 mT	最小频率下第一象限的峰值磁通密度
BAC		204 mT	AC峰峰值磁通密度 (在f_predicted、Vbulk和满载下计算)

图 11. HiperLCS设计表格中的“变压器磁芯计算”部分

这部分计算磁芯损耗和磁通密度。用户可从下拉框中选择磁芯。如果将其留空, 设计表格将会根据总输出功率自动选择磁芯 (假定工作频率为250 kHz)。对于用户自行选定的磁芯, 可以手动输入覆盖磁芯参数的数值。这些参数包括: 磁芯面积( $A_e$ )、磁芯体积( $V_e$ )、绕组截面窗口面积( $A_w$ )、骨架绕线宽度( $B_w$ )和平均每圈长度(MLT)。“谐振部分”中初级和次级绕组匝数 ( $N_{PRI}$ 和 $N_{SEC}$ ) 的自动计算取决于磁芯选择。

变量 $n_{CHAMBERS}$ 是指骨架中的绕线槽的数目。典型的集成变压器将使用两个或三个绕线槽。该数值与变量 $W_{SEP}$  (绕组分隔板的厚度) 可用于计算由分隔板所决定的可用绕线空间的损耗程度。这一计算结果用于自动计算初级和次级绕组线径, 并计算绕组损耗。

请参见图12, 查看具有2槽式和3槽式绕线结构的骨架的图片。

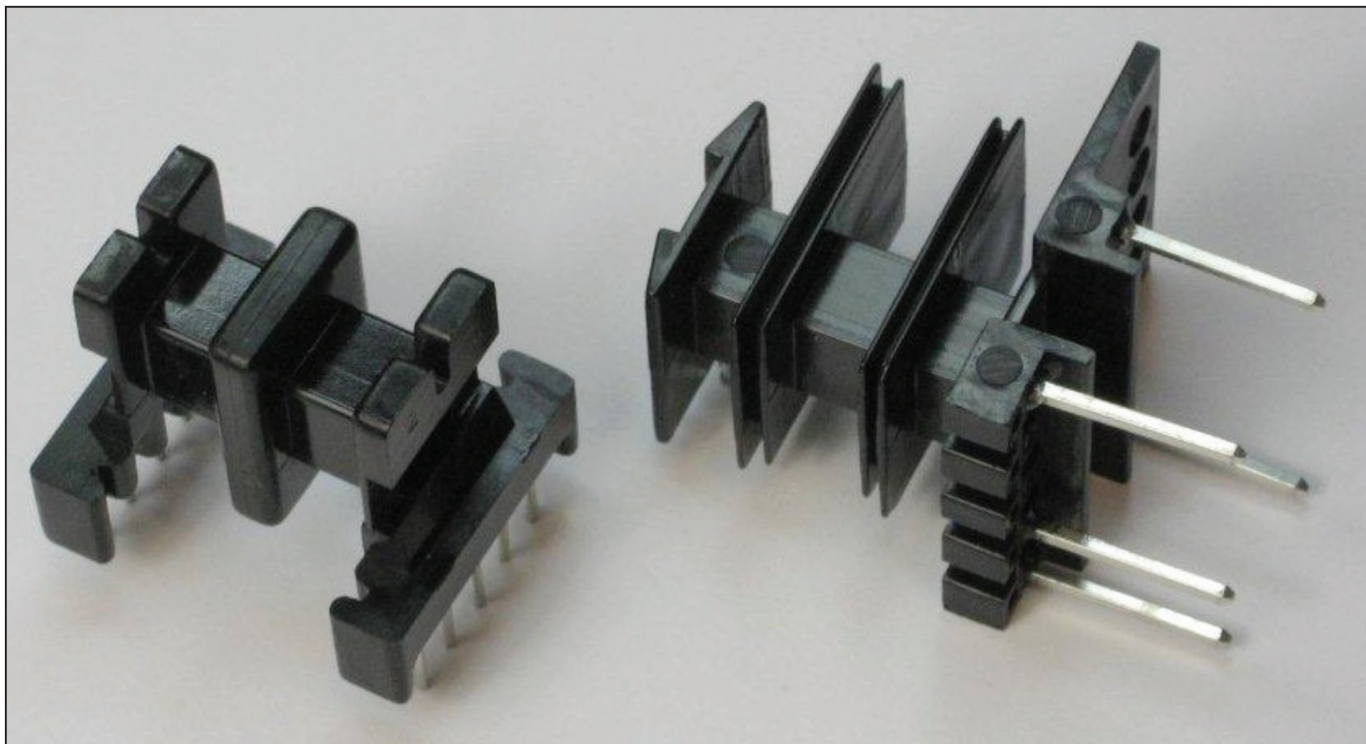


图 12. 2槽式(左)骨架和3槽式(右)骨架示例

请参见图13，查看显示2槽式和3槽式骨架以及 $W_{SEP}$ 为3 mm的骨架图。

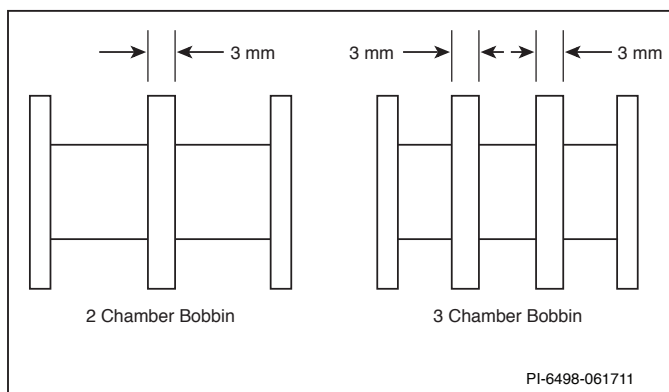


图 13.  $W_{SEP} = 3 \text{ mm}$ 的2槽式(左)骨架和3槽式(右)骨架示例



## 步骤8: 初级绕组

初级绕组			
Npri		50.2	初级绕组圈数; 在LLC谐振部分确定
Primary gauge		44 AWG	用于初级绕组的独立线股规格
Equivalent Primary Metric Wire gauge		0.050 mm	采用公制单位的等效线径
Primary litz strands		170	利兹线的股数; 对于未使用利兹线的初级绕组, 设为1
Primary Winding Allocation Factor		50 %	初级绕组窗口分配因子 - 分配到初级侧的绕组空间百分比
AW_P		47 mm <sup>2</sup>	初级侧的绕组空间面积
Fill Factor		60% %	初级绕组的填充率 (典型最大填充率为60%)
Resistivity_25 C_Primary		55.46 m-ohm/m	电阻率, 单位为milli-ohm/m
Primary DCR 25 C		86.18 m-ohm	25 C下的估计电阻
Primary DCR 100 C		115.48 m-ohm	100 C下的估计电阻 (约比25 C下的估计电阻高33%)
Primary RMS current		0.97 A	流经初级绕组的实测RMS电流
ACR_Trif_Primary		184.77 m-ohm	测得的AC电阻 (100 kHz下, 室温), 乘以1.33可达到约100 C绕组温度
Primary copper loss		0.17 W	85 C下的总初级绕组铜损耗

图 14. HiperLCS设计表格中的“初级绕组”部分

这部分计算建议的初级绕组利兹线线规和股数, 并计算其功率损耗。当相应的输入单元格留空时, 建议值将会显示。建议的初级绕组利兹线线规与 $f_{TARGET}$ 呈函数关系; 频率越高, 就要求更细的利兹线线规来确保效率。使用粗线径利兹线的代价是铜损耗增大和效率降低。使用计算后得到的初级绕组利兹线的建议股数绕制变压器可达到60%的初级绕组填充率。填充率是总铜线面积 (每股利兹线截面积乘以股数再乘以圈数) 与总初级绕组截面窗口面积( $A_{WP}$ )的比值。

请参考图15进行下列计算:

- 初级绕线面积

$$A_{WP} = (A + C) \times d$$

- 次级绕线面积

$$A_{WS} = B \times d$$

- 总绕线面积

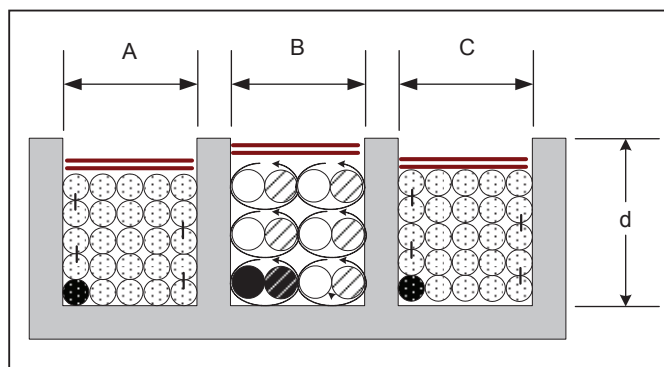
$$A_W = (A + B + C) \times d$$

- 从而得出初级绕组分配因子:

$$= \frac{A_{WP}}{A_W}$$

在更改利兹线线规或股数后, 请检查填充率。如果填充率大于60%, 则说明线规可能不适合。

这部分还会同时计算DCR、ACR (与DCR成简单的倍数关系加以进行计算) 以及相应的初级绕组铜损耗。

图 15. 3槽式骨架的骨架绕组面积分配示例 (通常情况下 $A = C$ )

## 步骤9: 次级绕组1

次级绕组1 (较低次级电压或单电压)		注 - 功率损耗计算针对次级绕组的每个半绕组	
Output Voltage	24.00 V		输出电压 (假定采用AC叠加绕组)
Sec 1 Turns	6.00		次级绕组圈数 (每相)
Sec 1 RMS current (total, AC+DC)	4.8 A		流经输出1绕组RMS电流, 假定为半正弦波形
Winding current (DC component)	3.00 A		绕组电流的DC分量
Winding current (AC RMS component)	3.70 A		绕组电流的AC分量
Sec 1 Wire gauge	42 AWG		用于次级绕组的独立线股规格
Equivalent secondary 1 Metric Wire gauge	0.060 mm		采用公制单位的等效线径
Sec 1 litz strands	494		利兹线采用的股数; 对于未使用利兹线的非集成变压器, 设为1
Resistivity_25 C_sec1	12.00 m-ohm/m		电阻率, 单位为milli-ohm/m
DCR_25C_Sec1	2.23 m-ohm		25 C下每相的估计电阻 (供参考)
DCR_100C_Sec1	2.99 m-ohm		100 C下每相的估计电阻 (约比25 C下的估计电阻高33%)
DCR_Ploss_Sec1	0.22 W		DC电阻造成的估计功率损耗 (两个次级相位)
ACR_Sec1	4.78 m-ohm		测得的每相AC电阻 (100 kHz下, 室温), 乘以1.33可达到约100 C绕组温度。ACR的默认值是100 C下DCR值的两倍
ACR_Ploss_Sec1	0.13 W		估计AC铜损耗 (两个次级相位)
Total winding 1 Copper Losses	0.35 W		两个次级相位的总(AC + DC)绕组铜损耗
Capacitor RMS current	3.0 A		输出电容的RMS电流
Co1	5.1 uF		次级1输出电容
Capacitor ripple voltage	3.0 %		次级1输出电容上的峰峰值纹波电压

图 16. HiperLCS设计表格中的“次级绕组1”部分

这部分用于单路输出或双路输出的设计。对于双路输出, “次级绕组1”属于电压较低的那路输出。下面的“次级绕组2”部分属于输出电压较高的那路输出。请注意, 在前面的**步骤2部分中所述的“输入LLC (次级) 输出”**中,  $V_{O1}$  较低的输出电压, 也可能指较高的输出电压。请参见图4和图5。在这两个图中, “第1部分次级绕组圈数”都为2圈。

可以计算出DC、AC和总 (AC加DC) RMS电流。由于设计表格建议并假定采用AC叠加方式, 因此具有较高输出电压的次级绕组 (次级绕组2) 中的电流将叠加于次级绕组1 (较低输出电压的绕组) 当中。

建议的利兹线线规与开关频率呈函数关系。也可以换用粗线径利兹线, 但这样会降低效率。AC电阻是DC电阻的简单倍数。由此可以计算出铜损耗。

在计算次级绕组1和次级绕组2的建议利兹线股数时, 一起计算可提高效率。两个绕组之间的最佳空间分配与其圈数和RMS电流呈函数关系。如果只是单路输出, 次级绕组的整个空间都分配给次级绕组1。用户可以更改第1部分次级绕组的利兹线股数, 但如果更改导致使用有包层利兹线的次级绕组填充率 $>60\%$ , 或者使用无包层利兹线的次级绕组填充率 $>75\%$ , 则说明绕组可能不适合。无包层利兹线通常更适用于次级绕组。

电容纹波电压是主输出电容 (而不是电源的输出端子) 上的峰峰值电压, 以输出电压的百分比表示, 可根据电容电流波形的形状以及在 $f_{\text{PREDICTED}}$  频率点电容的容抗计算得出。此计算也适用于陶瓷电容。如果使用电解电容, 由于其存在较高的ESR, 要求使用更高容量的电容值。设计表格不会根据ESR来计算纹波电压。设计表格只是计算可产生3%纹波电压的建议电容值。电容小于此值将产生更大的纹波电压, 这样就会开始对效率造成影响, 并显著增大输出二极管反向电压应力。注意, 建议的陶瓷介质电容X5R在电压作用下会呈现为更小的电容。请查看电容的数据手册, 了解它们在实际应用中实际电压作用下所呈现的实际电容数值。

## 步骤10: 次级绕组2

次级绕组2 (较高次级电压)			注 - 功率损耗计算针对次级绕组的每个半绕组
Output Voltage	0.00	V	输出电压 (假定采用AC叠加绕组)
Sec 2 Turns	0.00		AC叠加于次级绕组1上的次级绕组圈数 (每相)
Sec 2 RMS current (total, AC+DC)	4.8	A	流经输出2绕组的RMS电流: 输出1绕组AC叠加在输出2绕组上
Winding current (DC component)	0.0	A	绕组电流的DC分量
Winding current (AC RMS component)	0.0	A	绕组电流的AC分量
Sec 2 Wire gauge	42	AWG	用于次级绕组的独立线股规格
Equivalent secondary 2 Metric Wire gauge	0.060	mm	采用公制单位的等效线径
Sec 2 litz strands	0		利兹线采用的股数; 对于未使用利兹线的非集成变压器, 设为1
Resistivity_25 C_sec2	59292.53	m-ohm/m	电阻率, 单位为milli-ohm/m
Transformer Secondary MLT	3.10	cm	平均每圈长度
DCR_25C_Sec2	0.00	m-ohm	25 C下每相的估计电阻 (供参考)
DCR_100C_Sec2	0.00	m-ohm	100 C下每相的估计电阻 (约比25 C下的估计电阻高33%)
DCR_Ploss_Sec1	0.00	W	DC电阻造成的估计功率损耗 (两个次级半绕组)
ACR_Sec2	0.00	m-ohm	测得的每相AC电阻 (100 kHz下, 室温), 乘以1.33可达到约100 C绕组温度。ACR的默认值是100 C下DCR值的两倍
ACR_Ploss_Sec2	0.00	W	估计AC铜损耗 (两个次级半绕组)
Total winding 2 Copper Losses	0.00	W	两个次级半绕组的总(AC + DC)绕组铜损耗
Capacitor RMS current	0.0	A	输出电容的RMS电流
Co2	N/A	uF	次级2输出电容
Capacitor ripple voltage	N/A	%	次级1输出电容上的峰峰值纹波电压

图 17. HiperLCS设计表格中的“次级绕组2”部分

如果设计只有单路输出, 可忽略这部分。这部分涉及双路输出中具有较高输出电压的次级绕组。对于双路输出设计, 设计表格在计算时假定采用AC叠加方式。“第2部分绕组圈数”中的圈数数

值是指叠绕在次级绕组1上面的圈数。请参见图4和图5。在这两个图中, “第2部分绕组圈数”为3圈。

## 步骤11: 变压器损耗计算

变压器损耗计算			不包括来自气隙的边缘磁通损耗
Primary copper loss (from Primary section)	0.17	W	85 C下的总初级绕组铜损耗
Secondary copper Loss	0.35	W	次级绕组的总铜损耗
Transformer total copper loss	0.52	W	变压器的总铜损耗 (初级 + 次级)
AW_S	46.59	mm <sup>2</sup>	次级绕组的窗口面积
Secondary Fill Factor	60%	%	次级绕组的填充率; 有包层利兹线次级绕组的典型最大填充率为60%, 无包层利兹线则为75%

图 18. HiperLCS设计表格中的“变压器损耗计算”部分

这部分计算总的次级绕组铜损耗、总变压器铜损耗、次级绕组窗口面积( $A_{WS}$ )和次级绕组填充率。截面积是分配给次级绕组使用的面积, 可根据 $A_w$ 、 $B_w$ 、 $W_{SEP}$ 、 $n_{CHAMBERS}$ 和初级绕组窗口分

配因子计算得出。次级绕组填充率是所有次级绕组铜线的总截面积与次级绕组总的可利用面积的比值。

## 步骤12: 信号引脚电阻值

信号引脚电阻值			
Dead Time		320 ns	死区时间
Burst Mode	Auto	2	选择脉冲串模式: 1、2和3具有迟滞, 且有不同的频率阈值
f <sub>max</sub>		797 kHz	最大内部时钟频率, 取决于死区时间设置
f <sub>burst_start</sub>		299 kHz	脉冲串模式的较低阈值频率, 提供迟滞控制。这是在脉冲串关断期间后重新启动时的开关频率
f <sub>burst_stop</sub>		349 kHz	脉冲串模式的上阈值频率; 这是在脉冲串关断期间结束时的开关频率
DT/BF pin upper divider resistor		7.21 k-ohms	从DT/BF引脚到VREF引脚的电阻
DT/BF pin lower divider resistor		65 k-ohms	从DT/BF引脚到G引脚的电阻
Rstart		7.21 k-ohms	启动电阻 - 与软启动电容串联的电阻; 启动时从FB引脚到VREF引脚的等效电阻
Start up delay		0.0 ms	启动延迟; 开关开始前的延迟。减小R <sub>START</sub> 可增大延迟
Rfmin		36.0 k-ohms	从VREF引脚到FB引脚的电阻, 用于设定最小开关频率; 此电阻和Rstart可决定f <sub>MIN</sub>
C <sub>softstart</sub>		1.0 uF	软启动电容。建议值介于0.1 uF和10 uF之间
Ropto		3.7 k-ohms	与光耦发射极串联的电阻
OV/UV pin lower resistor		22.0 k-ohm	OV/UV引脚分压器中电压较低的电阻
OV/UV pin upper resistor		3.21 M-ohm	OV/UV引脚分压器中的总上电阻

图 19. HiperLCS设计表格中的“信号引脚电阻值”部分

这部分计算OV/UV、反馈和DT/BF引脚上电阻的值。请参见图1中的电路图。

大部分设计都要求死区时间介于300 ns和360 ns之间。对于给定设计, 在低压和满载条件下要求短死区时间, 而在高压和轻载条件下要求较长的死区时间。死区时间的选择需要在这两个要求之间做出平衡。在电压跌落条件下死区时间过长将会造成部分ZVS损耗, 在高压轻载条件下死区时间过短可导致增益反转(高频增益反转), 从而导致过早进入脉冲串工作模式。

f<sub>MAX</sub>与死区时间之间呈反函数关系:

$$f_{MAX} (kHz) = \frac{270000}{Dead - Time(ns)}$$

变换器仅在启动时以频率f<sub>MAX</sub>工作。除启动外, 它的开关频率将不会超过f<sub>BURST(STOP)</sub>。在启动前和自动重新启动关闭期间(大约为一个131k周期延迟)时, 内部的时钟运行频率为f<sub>MAX</sub>。

有三个脉冲串阈值设置: 1、2和3。对应不同的脉冲串模式数值有不同的f<sub>BURST(START)</sub>和f<sub>BURST(STOP)</sub>频率。它们是f<sub>MAX</sub>的固定分数。请参阅数据手册。f<sub>BURST(STOP)</sub>减去f<sub>BURST(START)</sub>实质上是脉冲串阈值频率的迟滞。

死区时间和脉冲串模式数是由连接于VREF引脚和地线之间且中间连接于DT/BF引脚的电阻分压器电阻来设定的。死区时间与流入DT/BF引脚的电流呈函数关系, 该引脚近似为一个电压和电阻分别为0.66 V和1.1 kΩ的戴维宁等效电路。脉冲串模式数与DT/BF电压呈函数关系, 在VCC启动时引脚呈现高阻抗对电压进行检测。因此, 它与电阻分压器比值呈函数关系。

R<sub>START</sub>应比DT/BF上拉电阻约低10%, 以使启动时的初始频率等于f<sub>MAX</sub>。这样可降低启动时的初级峰值电流。进一步减小R<sub>START</sub>数值可产生额外的启动延迟, 延迟值可在设计表格中计算显示出来。该延迟是在VCC上电后第一次启动时除1024周期启动延迟之外的额外延迟, 或者是自动重新启动时131k周期启用延迟的额外延迟。R<sub>FMIN</sub> + R<sub>START</sub>设定光耦器完全截止时的最小工作频率。最小工作频率可根据主谐振部分中的f<sub>BROWNOUT</sub>进行计算。

C<sub>SOFTSTART</sub>决定启动时间。典型值介于0.1 μF和0.47 μF之间。建议值是一个最小的可用数值, 用于保证初级启动电流(经过7个连续周期的电流, 不是指单个周期的峰值电流)不超过电压跌落时的初级电流, 采用该建议值还可使启动上升时间不小于电源对上升时间的最低要求。如果所使用的C<sub>SOFTSTART</sub>容量大于实际所需的数值, HiperLCS可能无法对此电容进行识别, 从而导致其退出启动模式。请参阅数据手册。

R<sub>OPTO</sub>电阻是可选的, 通过减小注入反馈(FB)引脚的电流可以增强抗ESD及抗浪涌能力。其最大值应该能使反馈引脚电流大于光耦器完全饱和且反馈引脚电压为2.0 V时的DT/BF引脚电流。当前1.0版设计表格中的计算包含一个错误, 我们将在下一版本中予以修正。正确的最大值为:

$$R_{OPTO} (k\Omega) = 400 / [(f_{MAX} / 2.48) - 1400 / (R_{FMIN} + R_{START})]$$

其中, R<sub>FMIN</sub>和R<sub>START</sub>以kΩ为单位, f<sub>MAX</sub>以kHz为单位。



这样是为了确保设计在启动模式期间能够以 $f_{MAX}$ 的脉冲串工作方式实现输出电压的稳压。这种情形会在某些特殊情况下发生，比如在极高输入电压空载时上电。一旦器件以低于 $f_{BURST(STOP)}$ 的频率进行开关，即会退出启动模式。应避免以 $f_{MAX}$ 的频率进行脉冲串模式工作，因为它会导致严重的ZVS损耗和极高的内部功率耗散。采用较小的 $C_{SOFT-START}$ 电容以及低于谐振频率的额定工作频率有助于避免此类问题的发生。

$R_{OPTO}$ 还能改进正常脉冲串模式工作时的输出纹波。

光耦器负载电阻（图1中的R21）的取值应能使光耦电路在脉冲串模式和大负载阶跃期间根据需要下拉电流。否则，在光耦器需要截止时，软启动电容将会降低环路对大信号的响应速度，在脉冲串模式工作时输出会出现很大的电压纹波，尤其在高压输入情况下。该电阻的建议数值为4.7 k $\Omega$ 。

### 步骤13: LLC电容分压器电流检测电路

LLC电容分压器电流检测电路			
slow current limit		2.72 A	8周期限流点 - 在电压跌落和启动期间检查正半周期
fast current limit		4.89 A	1个周期限流点 - 在启动期间检查正半周期
LLC sense capacitor		47 pF	HV检测电容，与主谐振电容一起形成分流器
RLLC sense resistor		22.0 ohms	LLC电流检测电阻，用于检测检测电容中的电流
IS pin current limit resistor		220 ohms	当检测R的电压 $< -0.5V$ 时，限制从检测电阻流入IS引脚的电流
IS pin noise filter capacitor		1.0 nF	IS引脚旁路电容，与IS引脚限流电容一起形成一个极点
IS pin noise filter pole frequency		724 kHz	此极点可衰减IS引脚信号

图 20. HiperLCS设计表格中的“LLC电容分压器电流检测电路”

建议的慢速流限与额定初级峰值电流成简单的倍数关系。应根据电压跌落时的实际峰值电流对其进行调整。建议为此值留出15%的裕量。软启动电容值应足够大，以使启动时的最大七个连续周期的峰值电流小于电压跌落时的峰值电流。快速流限额定为慢速流限的1.8倍。启动时第一个周期的峰值电流需要低于此值。最差情况的启动电流所在的电压为 $V_{OV\_RESTART}$ 时发生，这是HiperLCS在AC输入电压陡升后进行重新启动时大电容两端的电压。

HiperLCS的IS引脚只是检测正向的电流脉冲。大于约-0.6 V的负向脉冲将被箝位。注意，由于有IS引脚旁路电容和IS引脚串联限流电阻构成的RC滤波器（图1中的R12和C7）的存在，实际到达IS引脚的信号可能被衰减。

建议使用一个47 pF的初级电流检测电容。此电容与主谐振电容一起形成一个分流器。用于设定目标限流值的检测电阻值（图1中的R11）通过计算可以得出。IS引脚串联的限流电阻用于在初级电流摆动到负值时将负向电流限定为可以接受的数值。当出现负电压时，IS引脚特征类似于一个接地反向二极管。最小可接受的数值为220  $\Omega$ 。从而可以在噪声滤波器中使用尽可能大的滤波电容，以最大限度地抑制噪声IS引脚噪声滤波电容的建议值是1.0 nF。应确保形成的极点频率足够高，使的电流检测信号不会被衰减。

照明镇流器应用中普遍使用的“SL”型电容适合用作检测电容，因为此类电容同时具有较宽的电容量范围、小尺寸、高电流处理能力、低成本和供货充足等优势。

## 步骤14: 损耗预算

损耗预算			
LCS device Conduction loss		1.8 W	额定输入电压和满载下的导通损耗
Output diode Loss		4.2 W	估计的二极管损耗
Transformer estimated total copper loss		0.52 W	变压器的总铜损耗 (初级 + 次级)
Transformer estimated total core loss		0.6 W	估计的磁芯损耗
Total transformer losses		1.1 W	总变压器损耗
Total estimated losses		7.1 W	LLC级总损耗
Estimated Efficiency		95% %	估计效率
PIN		151 W	LLC输入功率

图 21. HiperLCS设计表格中的“损耗预算”部分

LCS器件导通损耗根据额定电流和最大 $R_{DS-ON}$ 计算得出。二极管损耗根据负载电流和所选二极管的顺向压降计算得出。通过对

铜损耗、磁芯损耗的估算可以得出变压器总的损耗。根据总的估计损耗及效率可以计算出输入功率。

## 步骤15: 检查输入电压相对于频率的变化曲线

设计师可单击设计表格底部的图形选项卡，检查输入电压相对于频率的变化曲线。图形中显示两条迹线。红色迹线由主谐振部分生成，蓝色迹线由虚拟变压器试验部分生成。 $V_{BROWNOUT}$ 也会在图中显示出来。

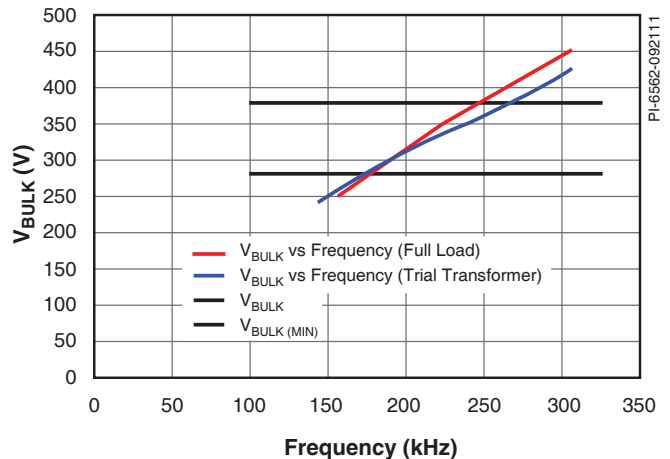


图 22. HiperLCS设计表格中的输入电压相对于频率的变化图形示例。  
蓝色迹线来自“虚拟变压器试验”部分

## 步骤16: 可选部分: 次级匝数计算器

次级绕组匝数和电压居中计算器			这部分用于帮助您选择次级绕组匝数 - 输出的参数与设计表格中的任何其他部分没有关联。
V1		24.00 V	目标稳压输出电压Vo1。更改此值可观察到对其它从输出产生的影响
V1d1		0.70 V	针对Vo1的二极管电压降
N1		6.00	针对Vo1的总匝数
V1_Actual		24.00 V	预期输出电压
V2		0.00 V	目标输出电压Vo2
V2d2		0.70 V	针对Vo2的二极管电压降
N2		0.00	针对Vo2的总匝数
V2_Actual		-0.70 V	预期输出电压

图 23. HiperLCS设计表格中的“次级绕组匝数和电压中心值微调计算器”

本部分未关联到设计表格的任何其他部分。它用来帮助设计师选择双路输出设计中的次级绕组匝数比。请注意，对于有些电压比例（如5 V和12 V），需要采用更多的匝数来实现所需的电压居中调整。这通常不会生成一个可接受的变压器设计。针对5 V和12 V

要求，一个可行的解决方案是设计一个分别具有6 V和12 V输出的LLC，在6 V输出的后面使用一个降压式转换器来产生5 V电压。因为只需要较小的电压降，因而此类降压式转换器的成本相对较低，且具有很高的效率。

## 步骤17: 可选部分: 独立谐振电感

独立串联电感 (仅限于非集成变压器)				如果采用集成磁芯则不适用 - 输出的参数与设计表格中的任何其他部分没有关联
Lsep		72.83	uH	独立电感所需的电感值
Ae_Ind		0.53	cm^2	电感磁芯截面积
Inductor turns		13		初级绕组圈数
BP_fnom		1554	Gauss	用于磁芯损耗计算的AC磁通量 (频率在f_predicted且负载处于满载条件下)
Expected peak primary current		2.7	A	预期峰值初级电流
BP_fmin		2900	Gauss	峰值磁通密度, 在最小频率fmin下计算
Inductor gauge		44	AWG	用于初级绕组的独立线股规格
Equivalent Inductor Metric Wire gauge		0.050	mm	采用公制单位的等效线径
Inductor litz strands		125.00		利兹线采用的股数
Inductor parallel wires		1		构成利兹线的并绕线的数量
Resistivity_25 C_Sep_Ind		75.4	m-ohm/m	电阻率, 单位为milli-ohm/m
Inductor MLT		7.00	cm	平均每圈长度
Inductor DCR 25 C		68.6	m-ohm	25 C下的估计电阻 (供参考)
Inductor DCR 100 C		92.0	m-ohm	100 C下的估计电阻 (约比25 C下的估计电阻高33%)
ACR_Sep_Inductor		147.1	m-ohm	测得的AC电阻 (100 kHz下, 室温), 乘以1.33可达到约100 C绕组温度
Inductor copper loss		0.14	W	85 C下的总初级绕组铜损耗

图 24. HiperLCS设计表格中的“独立串联电感”部分

本部分未关联到设计表格的任何其他部分。它用来设计独立的谐振电感, 适用于使用非集成变压器, 或者所采用的变压器结构使

得漏感过低, 从而使 $K_{RATIO}$ 大于7的情况。

## 在使用独立谐振电感时如何使用设计表格的谐振部分

设计表格的谐振参数部分适用于使用集成变压器的设计。但它也适用于独立串联电感的设计。

使用独立谐振电感有两种类型的设计:

1. 变压器的漏感接近于零, 其谐振电感仅由串联电感形成。
2. 变压器具有一定的漏感。谐振电感由串联电感与变压器初级漏感之和构成。串联电感增大了变压器的漏感。

## 变压器漏感接近于零的谐振腔设计

参见前面图8中设计表格的一个漏感等效电路, 显然可以发现:

1. 设计表格中的谐振电感感量( $L_{RES}$ )等于独立电感的感量值
2. 设计表格中的并联电感感量( $L_{PAR}$ )等于变压器初级电感感量; 设计表格中的 $L_{PRI}$ 等于独立电感与变压器初级电感感量之和。设计表格建议的 $L_{PRI}$ 数值仍然有效。
3. 设计表格中的等效匝数比( $n_{EQ}$ )等于变压器的实际匝数比。

## 使用漏感非零的变压器再外加串联电感的谐振腔

在此设计中, 总的串联谐振电感感量由外加电感及变压器漏感两部分构成。有时, 设计师在试图设计制作一个集成式变压器的过程中会发现漏感不足的情况( $K_{RATIO} > 7$ )。如果变压器的几何形状决定了增大漏感比较困难, 则可以考虑添加一个外部的感量。

参见前面的图8中设计表格的一个漏感等效电路, 显然可以发现:

4. 设计表格中的谐振电感感量( $L_{RES}$ )等于独立电感与变压器漏感感量之和。
5. 设计表格中的初级感量( $L_{PRI}$ )等于独立电感与变压器初级感量之和。设计表格建议的 $L_{PRI}$ 数值仍然有效。
6. 设计表格中的等效匝数比( $n_{EQ}$ )小于变压器的实际物理匝数比。

## 输入电压可变的设计

对于输入电压可变的设计 (如无PFC的180-265 VAC设计), 可将 $V_{BULK\_NOM}$ 值设定为最小和最大AC电压之间的正中间数值, 以便设计谐振功率转换电路的参数值。首先, 应确定最大及最小的电容两端电压:

$$V_{HIGH\_LINE} = VAC_{MAX} \times 1.414$$

$$V_{LOW\_LINE} = VAC_{MIN} \times 1.414$$

然后, 为了确定 $N_{PRI}$ 的起始值, 将上面两个值的平均值输入 $V_{BULK\_NOM}$ 。将 $N_{PRI}$ 调整为下一个较高的整数值, 以使 $f_{PREDICTED}$ 等于或稍小于在此大电容电压下的 $f_{RES}$ 。这样将使LLC在达到低压和高压中间值时以谐振方式工作。减少初级绕组圈数 (在较低电压下出现谐振) 将会:

- 减小低压输入时的峰值和RMS电流
- 增大所要求的初级电感感量，以便在低压下维持ZVS
  - 这会减小初级谐振循环电流
- 使输出二极管更多地在连续导通模式下工作
  - 这会增加它们的峰值反向电压应力
- 提高高压下的工作频率

如果  $V_{AC\_MIN} < V_{AC\_MAX}$  的70%，建议使  $V_{BROWNOUT}$  的设定值接近于  $V_{LOW\_LINE}$ ：

$$V_{BROWNOUT} = 90\% \times 1.414 \times V_{LOW\_LINE}$$

这样做会生成警告信息，但可予以忽略。可能必须禁止B+的欠压锁存(UVLO)功能，或者在OV/UV引脚的电阻分压器周围增加一些额外的元件来修改该功能。

通过将建议值复制到输入栏的方法可以将  $L_{PRI}$  值固定。分别将高压和低压的数值输入  $V_{BULK\_NOM}$ ，以检查高压和低压输入时的工作情况。

#### 输出电压可变或输出有恒流特性要求的设计

电池充电器的应用要求输出有恒压、恒流(CV-CC)特性。此类应用应对恒流(CC)工作时的最小预期输出电压加以规定。很多电路可以用来执行恒流反馈功能。请参考Power Integrations网站，了解所建议的电路。

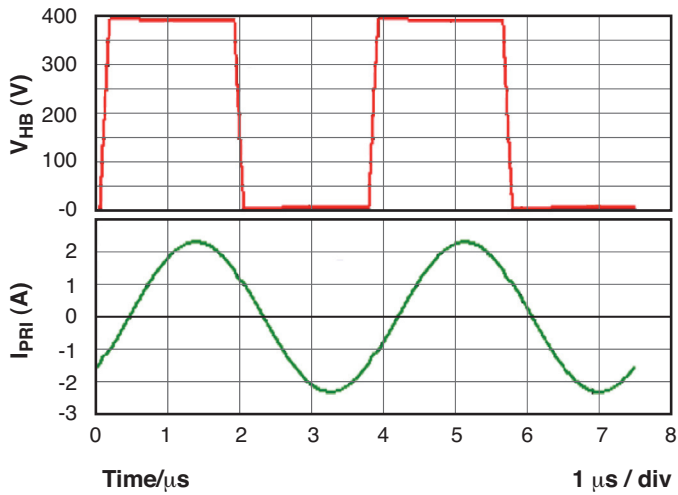
任何由主输出供电的恒流(CC)电路都需要在最小输出电压下保持正常工作。如果最小输出电压非常低，可能需要采用辅助电源对恒流(CC)电路供电。

功率转换电路将在恒压(CV)和恒流(CC)特征曲线的拐角处具有最大输出功率，需要将此条件输入设计表格，以便设计功率转换电路的谐振元件。在恒流(CC)模式下，随着输出电压下降，LLC将以越来越高的开关频率进行工作。在设计表格中固定功率转换电路的元件值，然后降低  $VO_1$ ，即可检查输出电压降低时的工作情况。

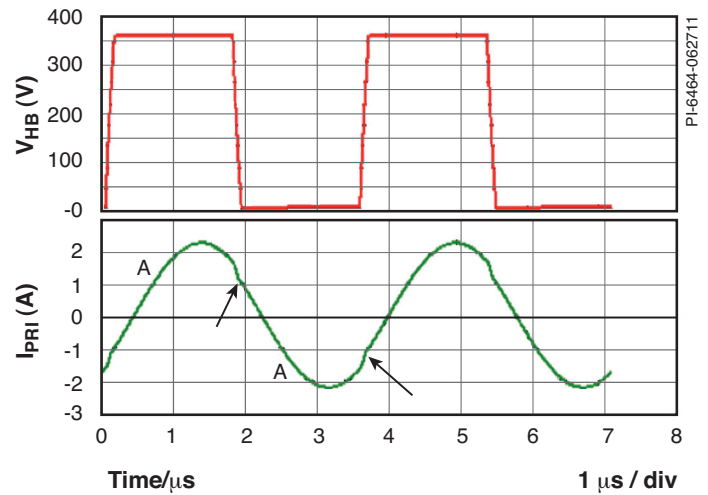
如果最大与最小输出电压的比例  $< 1.3\times$ ，建议在最大功率点（额定输出电压和电流）变换器能够以谐振频率或稍低于谐振频率点的开关频率工作。如果比值大于1.3，建议将最大功率工作的开关频率设定在高于谐振频率（通过增大  $N_{PRI}$  来实现），以便减小在最小输出电压下工作时所需的频率增加范围。在有些情况下，可能需要设定  $N_{PRI}$ ，以使功率转换电路在输出为最小输出电压与最大输出电压中间点电压时以谐振频率 ( $f_{PREDICTED} = f_{RES}$ ) 进行工作。在极端情况下，在极低输出电压时LCS将不得不以脉冲串模式进行工作。这是可以接受的折中方式。



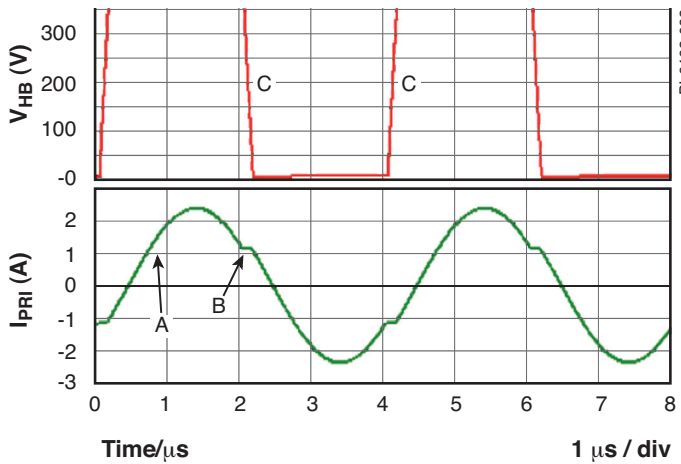
## LLC波形分析

图 25. 在谐振频率和重负载下工作的 $V_{HB}$ 和 $I_{PRI}$ 

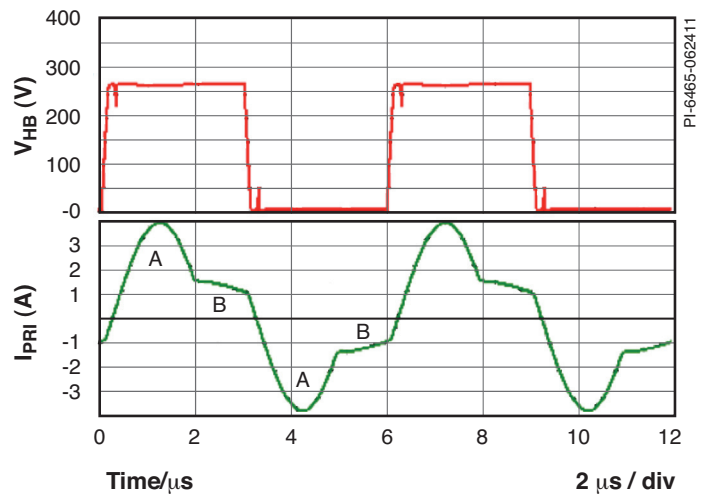
注意，初级电流接近完美的正弦波形。频率为谐振频率 $f_{RES}$ ，此条件下的输入电压为 $V_{INPUT(RESONANCE)}$ 。

图 27. 在稍高于谐振频率和重负载下工作的 $V_{HB}$ 和 $I_{PRI}$ 

注意，串联谐振电流‘A’在MOSFET开关前没有足够的时间完成其谐振振铃，而被近似垂直部分（箭头处）截断。ZVS工作正常。注意电压的斜率。

图 26. 在稍低于谐振频率和重负载下工作的 $V_{HB}$ 和 $I_{PRI}$ 

注意，串联谐振电流‘A’有“多余的时间”完成其“谐振振铃”并达到初级励磁电流‘B’。ZVS工作正常。注意电压C的斜率。

图 28. 在低频率、远低于谐振频率下工作的 $V_{HB}$ 和 $I_{PRI}$ 波形（接近最小输入电压和重负载）

谐振振铃‘A’过早结束，励磁振铃‘B’的时间较长。在本示例中请注意，死区时间稍长于此条件下的最佳值。

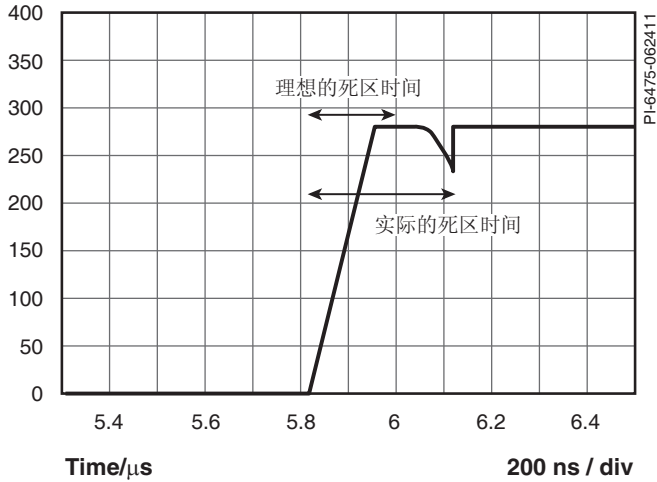


图 29. 对开关边沿部分加以放大的低压/满载下的VHB, 此条件下的死区时间稍长于最佳值

死区时间需要折中选择; 轻载/高压工作要求较长的死区时间。低压/满载条件要求较短的死区时间。图29显示了死区时间值经过折中选择后的低压工作情况。此种情况对于非稳态条件是可以接受的。其波形显示励磁电感中有足够的能量来实现ZVS, 原因是正弦波振铃达到了低于母线负端的电压。在正弦波的平顶部分, 电压被上管MOSFET的体二极管导通所箝位。实际死区时间结束时, 也是MOSFET栅极导通之时。死区时间在低压和满载下最容易测量, 其波形如上所示。比较上升沿和下降沿的死区时间; 死区时间的不对称可由进入DT/BF引脚的开关噪声所导致, 必须通过改进布局或提高DT/BF旁路电容 (留意最大容许值建议) 加以修正。

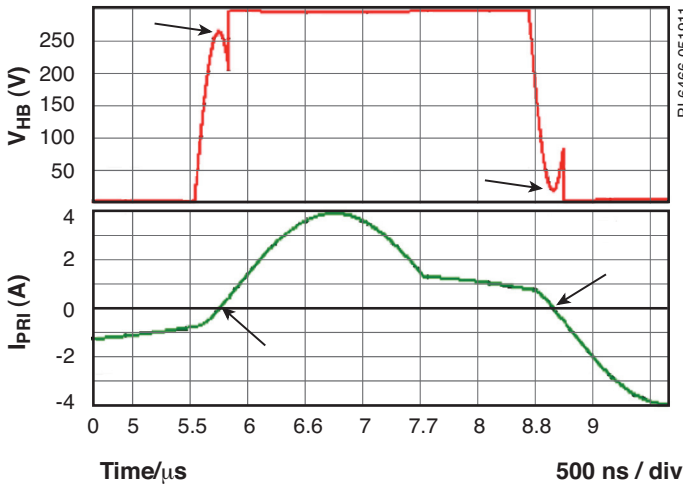


图 30. 低压/满载下的V<sub>HB</sub>, 其励磁能量不足且死区时间长于最佳值。

“正弦波振铃”的顶部箭头所示部分表明振铃没有达到母线负端电压。振铃的顶部与电流的过零点相对应 (箭头处)。此种情况对于非稳态条件是可以接受的。如果需要实现完全ZVS, 则需减小初级电感感量。

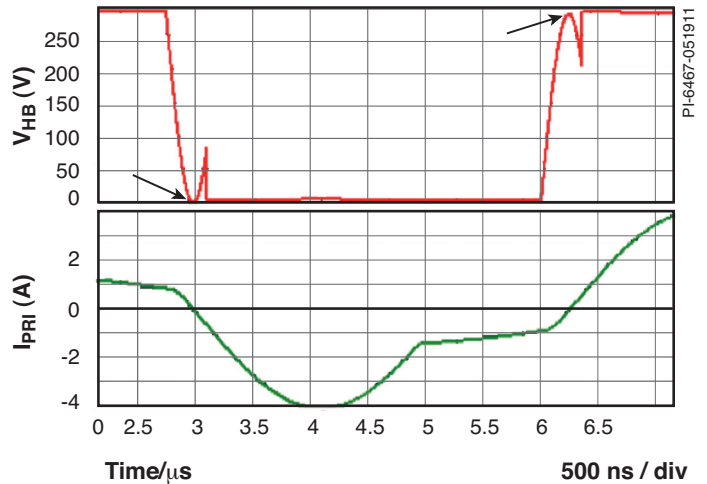


图 31. 显示励磁能量刚刚能够实现完全ZVS的电压波形。请参见箭头。死区时间长于此条件下的理想值

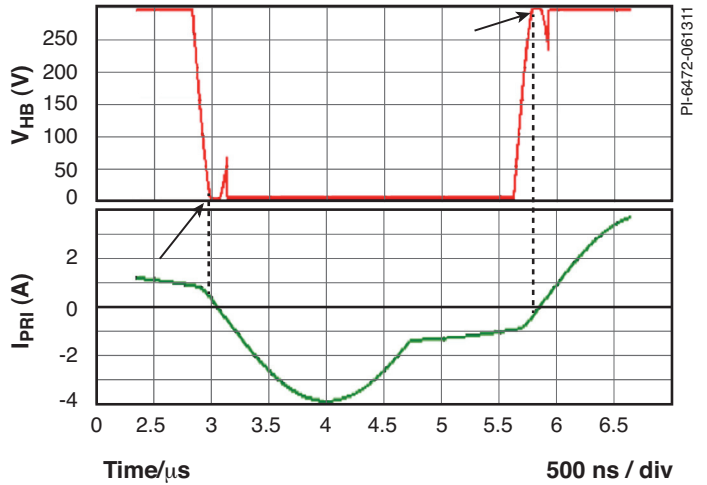


图 32. 当有足够的励磁能量用于ZVS时, 电压 (箭头处) 会在电流过零 (虚线) 前结束转换

死区时间长于此条件下的理想值。

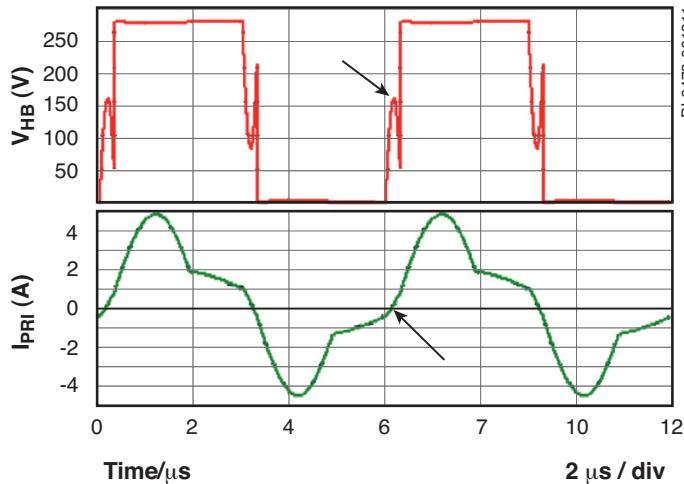


图 33. 显示低频率（低压）下严重失去ZVS工作的波形，原因是过载或 $L_{PRI}$ 过高

注意在完成ZVS前电流如何过零（箭头处）。

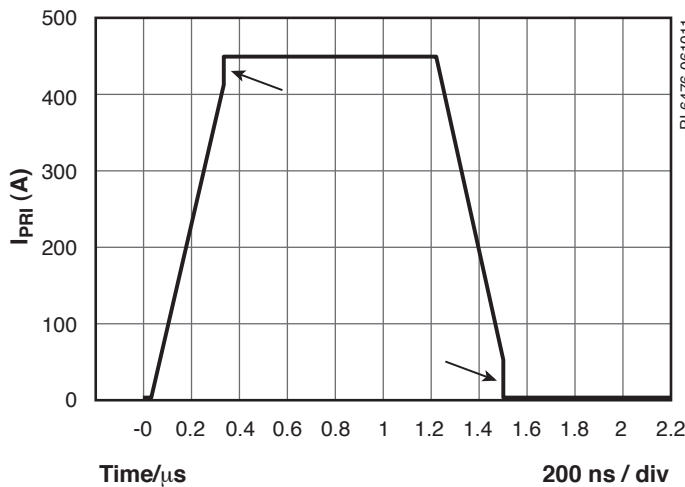


图 34. 轻载、高压工作，具有较长的转换时间且死区时间稍短于最佳值。  
箭头所示部分显示转换被截断

随着高压下负载减小或轻载下电压增大，频率将升高，而励磁电流将减小。这样会增加ZVS转换时间。当转换时间开始大于死区时间时，ZVS转换将被截断（如图所示）。频率如进一步升高，将导致增益反转，电源将立即进入脉冲串模式。如果脉冲串模式出现过早，可通过以下解决方案处理：增加初级绕组圈数或减小初级电感感量。适当地将 $f_{START}$ 和 $f_{STOP}$ （脉冲串频率阈值）的设定于接近于此增益反转频率。这就是高频增益反转（请不要与低压下的低频增益反转混淆）。设定值过高会增加脉冲串模式下的输出纹波，而且当负载出现阶跃时HiperLCS进入和退出脉冲串模式的响应性能会下降，因为反馈环路被强制通过更宽的控制范围波动。

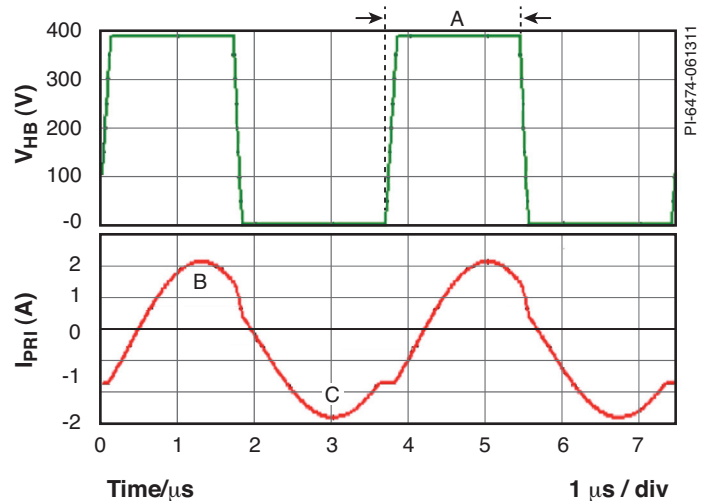


图 35. 占空比不对称。占空比等于‘A’除以周期

此示例波形的占空比为47%，而不是50%。这通常是由于开关噪声进入反馈引脚造成的。电流波形显示正向峰值和负向峰值具有不同的幅值。此LLC正在以谐振频率进行工作，但正半周波形‘B’类似于以高于谐振频率的频率进行工作，而负半周波形‘C’类似于以低于谐振频率的频率进行工作。

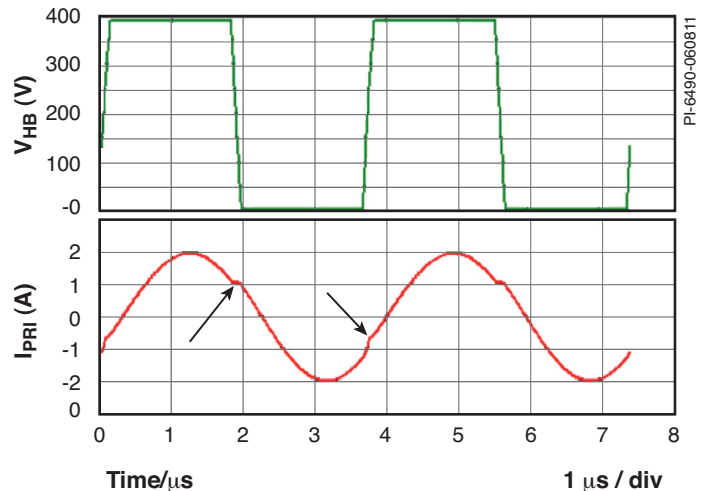


图 36. 因次级绕组不对称导致的电流波形不对称。电压波形的占空比为50%

这种情况可能是由次级布局不佳和不对称造成的，或者是由于没有将两个变压器次级半绕组缠绕在一起造成的。这些措施对于高频LLC设计来说至关重要。在本例中，电压是对称的，但正向电流脉冲和负向电流脉冲看起来具有不同的谐振频率，如箭头所示。在这种情况下，短路一个相位次级绕组在初级测得的漏感与短路另一个相位的次级绕组在初级测得的漏感是不相等的。

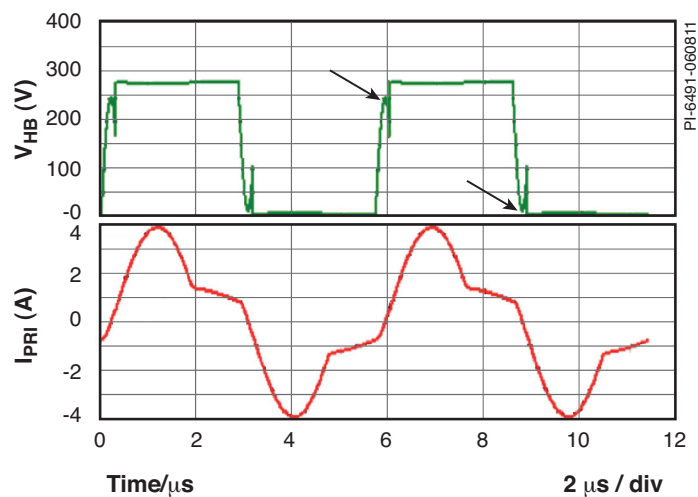


图 37. 即使经过精心布局在低压输入时也会产生比较明显的不对称

注意观察一个边沿（在本例中为上升沿）相对于下降沿更早地失去了ZVS工作。



## HiperLCS的上电与故障排除

在漏极引脚出现高压而变压器与HB引脚断开的情况下，请勿尝试接通HiperLCS电源。没有感性负载将会导致硬开关，产生MOSFET的 $C_{oss}$ 开关损耗，从而造成过热的情况。

1. 禁用OV/UV功能，这样即使在B+电压极低的条件下也可检测到开关波形。断开OV/UV引脚和B+之间的电阻。在OV/UV引脚和VCC引脚之间加一个电阻，以使该分压器在VCC为~11V时向OV/UV引脚施加2.4 V（电压缓升阈值）的电压。如果下面的分压电阻阻值为20 k $\Omega$ ，则使用75 k $\Omega$ 的外加电阻。
2. 使用具有限流功能的直流电源对VCC +12 V施加12 V的电压。输入电流应低于10 mA。
3. 使用具有限流功能的高压直流可调电源为B+供电。刚开始时使用较低的电压（大约为10 V - 20 V），限流点设定为0.2 A左右。检查 $f_{MIN}$ 状态下的HB引脚开关功能。如果频率未接近 $f_{MIN}$ ，检查反馈引脚上的电阻值。

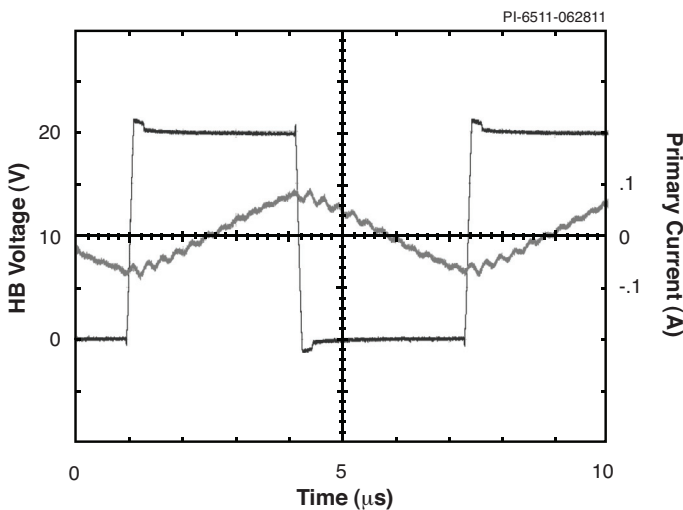


图 38. B+ = 20 V时的半桥电压和电流

4. 将电流探头加在初级绕组上测量初级电流。次级电路为空载时，应当出现表示励磁电流的三角形波。电源输出应为非常低的输出电压。HB引脚应当表现为ZVS。开关频率应当介于 $f_{MIN}$ 和 $f_{STOP}$ 之间。如果开关频率大于 $f_{STOP}$ ，则表明元件未退出启动模式（见数据手册）。一旦开关频率 $f_{SW}$ 下降到 $f_{STOP}$ 以下，表明上电后退出了启动模式。软启动电容必须足够小，这样可以使HiperLCS以最小负载通电后，在输出电压达到稳压值之前退出启动模式。

如果没有开关操作，用探头检测每个引脚的电压：

- VCC: >11.4 V
  - VREF: 3.4 V – 如果不是3.4 V，HiperLCS将会因VCC低于UVLO阈值而处于关断状态
  - OV/UV: 2.4 V – 3.1 V
  - IS: < 0.5 V（峰值）
  - 反馈: 0.9 V – 1.4 V，取决于反馈电流。如果为3.4 V，则HiperLCS处于自动重新启动工作的关断状态，或被OV/UV或IS引脚所禁止
  - VCCH: 相对于地端的测量值应为HB引脚+ 12 V。如果使用差分探头以HB引脚为参考测量时应大于8.9 V。
  - HB引脚: 幅值为B-到B+的开关方波（表明ZVS工作）：初级电流在VHB从低到高转换结束时必须为负值，在从高到低转换结束时末期必须为正值。测量时确认电流探头未连接反。
5. 缓慢地升高输入电压。三角形初级电流应当增大。HB引脚应继续显示ZVS工作状态。输出应当上升。空载时，输入功率应当不超过额定输出功率的1-2%。当输入电压达到45-70%的额定输入电压时（取决于谐振腔），输出应达到稳压值。一旦输出达到稳压值，输入电压进一步升高应不会再使输出电压升高。而频率会随输入电压的增大而上升以维持稳压状态。此时，由于频率增大，进一步升高输入电压应不会使初级电流三级波形增大。
  6. 在输出端连接一个小负载。由于输出负载的存在，开关频率应当下降。初级电流应显示标准的LLC波形。在输入电压较低时，开关频率应当低于谐振频率。（参见本文档“LLC波形分析”部分中的图28。）确认用于为LLC供电的高压供电电源没有处于限流工作状态。
  7. 将输入电压升高到额定最低输入电压( $V_{BROWNOUT}$ )。将负载升高到额定值的大约5-10%。将输入电压升高到额定值。（不要使电源在额定 $V_{BROWNOUT}$ 以下带很重的负载，因为此时ZVS失去的工作状态会导致非常高的损耗。）输出应当维持稳压状态。如果输出开始上升，用探头检测光耦器的发射极。如果测得的值接近3.2 V，检查反馈引脚电阻。如果低于3.2 V且输出上升到稳压水平以上，检查光耦器LED电路并确保LED有足够的电流使光耦的三极管达到饱和。
  8. 检查初级波形的对称性和ZVS。输入电压接近额定值时，它的工作特性应当接近谐振方式。否则，匝数比可能错误。（参见本文档“LLC波形分析”部分中的图25。）
  9. 负载为~10%时，HiperLCS在额定输入电压下不应进入脉冲串工作模式。缓慢地降低负载并观察频率。有些情况下，即使负载为空载，输入电压需要调整到高于额定值以上，才能强制HiperLCS进入脉冲串模式。随着输入电压升高，频率上升并达到 $f_{STOP}$ ，HiperLCS将突然进入脉冲串模式。检查脉冲串模式的波形。

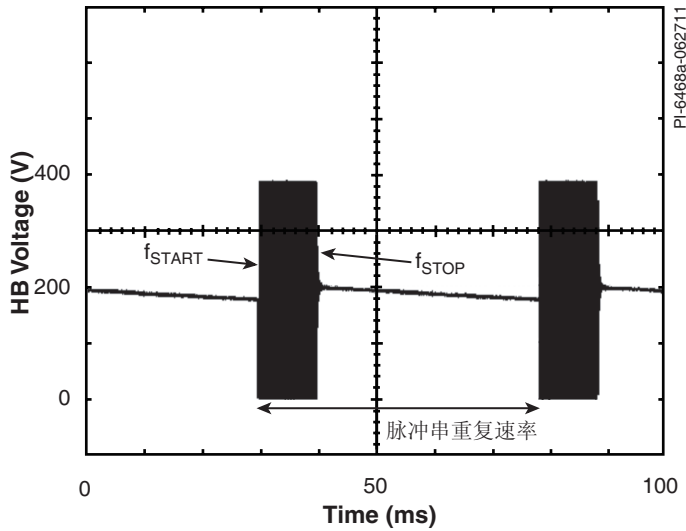
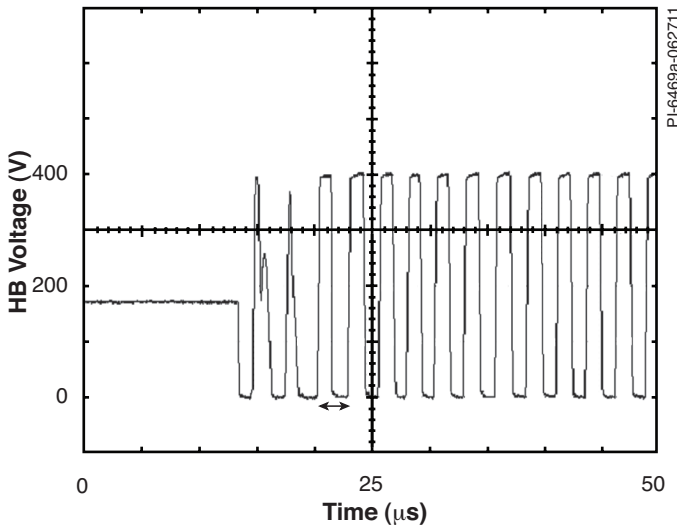
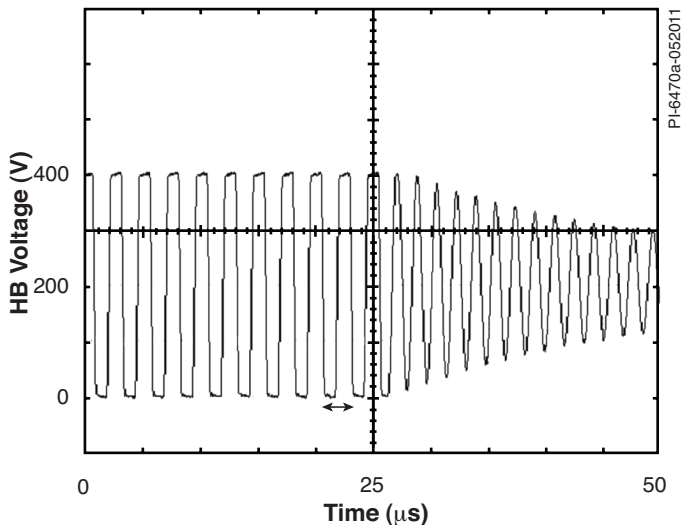


图 39. 脉冲串模式下的HiperLCS

图 40. 以  $f_{START}$  开始脉冲串工作时的图39展开图图 41. 以  $f_{STOP}$  结束脉冲串工作时的图39展开图

- 重新使能OV/UV电阻分压器，并检查HiperLCS在 $V_{BROWNIN}$ 时的开启以及 $V_{BROWNOUT}$ 时的关断工作过程。
- 测量电源在20%负载和额定输入电压条件下的效率。结果应当略低于目标满载效率。使用热成像仪检查元件是否存在异常过热点。
- 在额定输入电压下将负载升高到50%并重复效率和热检测，然后在100%负载条件下再次测试。
- 在额定输入电压、满载条件下检查占空比及电流的对称性。参考本文档“LLC波形分析”部分中的图26以了解具有良好占空比对称性的工作情况，以及图35中占空比平衡不良的工作状态的示例。
- 使用耦合紧密的探头检查主输出电容上的p-p纹波电压，确认其小于输出电压的3%。如果效率、二极管PIV应力、电容温升和交叉稳压性能可接受，则可以接受大于3%的纹波电压结果。

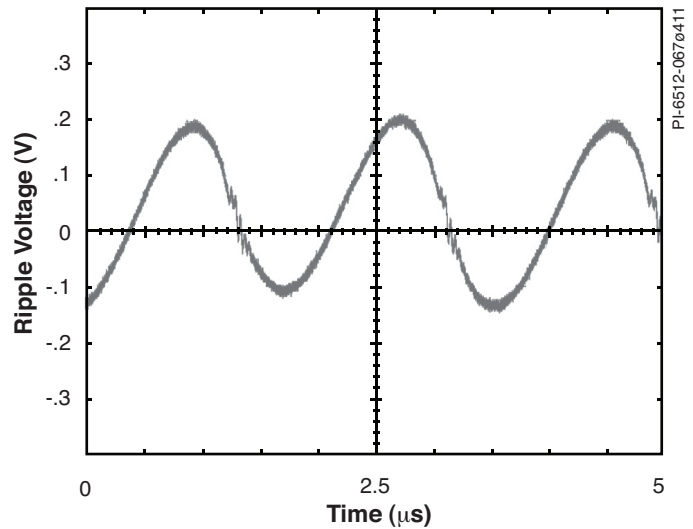


图 42. 在满载下输出陶瓷电容两端的输出纹波电压

- 随着输入电压降低到 $V_{BROWNOUT}$ ，检查满载时的HB电压是否产生正确的ZVS工作特性。如果出现部分ZVS失去的情况，检查确认死区时间是否过短或过长，或者初级电感感量是否过高（能量不足以为 $C_{OSS}$ 充电）或者初级电感可否升高。（参见图29-33） $V_{BROWNOUT}$ 下的部分ZVS失去是可以接受的。但是，损耗可能会很高，需要加以注意。使用风冷可以使HiperLCS散热片温度更低些。请注意，电流对称性较差或占空比对称性较差将会导致初级电压的一个前沿过早的出现ZVS失去的情况。
- 测量低压/满载条件下的峰值电流，并调节流限电阻（图1中的R11），以使计算所得的流限达到~20%以上。
- 检查部分ZVS失去时死区时间的对称性。比较低电平到高电平转换时的开关前沿与高电平压到低电平转换时的开关后沿的死区时间。参见本文档“LLC波形分析”部分中的图37。
- 检查短路时的初级波形，并确保HiperLCS正确关断，且漏极电流高于额定ABS MAX的时间不超过460 ns（参见图58和59）。

19. 陶瓷SMD旁路电容可能非常脆弱，在手工焊接过程中很容易损坏。存在故障的电容可能会导致误操作。反馈引脚旁路电容的损坏会导致噪声进入，并造成不良的占空比对称性。DT/BF引脚旁路电容的损坏会导致死区时间匹配不良（低电平到高电平转换的开关前沿与高电平压到低电平转换的开关后沿）。

### 高频集成变压器设计

工作于180-300 kHz频率的高频集成变压器设计与工作于60-70 kHz频率的变压器设计差异不大。下面是主要的差异：

- 磁芯更小。
- 圈数减少，因此铜线总用量降低。
- 建议使用PC44或同等磁芯材料，而非PC40。在耗损相同的条件下，PC44在250 kHz时的磁通密度可比PC40高出10-20%。也可使用PC40或同等材料的磁芯。但PC44可减少磁芯损耗，而且在某些情况下允许使用更少的圈数和更小的磁芯。为了获得更高的效率，可使用更高性能的磁芯材料。
- 250 kHz工作时的AC磁通密度应比125 kHz工作时低大约30%。较高的频率可以减少圈数，使用更小的变压器。
- 次级两半绕组的对称性非常重要 – 强烈建议绕制之前将其相互绞合。绕组对称性不良会导致每个半次级绕组与初级绕组之间的漏感不同，因而造成各周期之间的电流对称性不佳、损耗增大、温度升高且效率降低。（参见本文档“LLC波形分析”部分中的图36。）相互绞合的次级绕组可显著降低两个次级半绕组之间的漏感，从而显著降低输出整流管中出现的漏感尖峰，并改善变压器对称性。可以采用每次短接次级绕组的一个相位再测量初级绕组上的漏感的方法来检测对称性。如果对称性良好，两次测得的漏感感量将接近匹配。
- 建议使用更细的利兹线 - 初级绕组使用44号(~0.05 mm)，次级绕组使用42号(~0.07 mm)。但是，由于与低频率设计相比圈数更少，磁芯更小，因此总成本会降低。
- 有些情况下，高频率设计要求的漏感感量相对较低，使用2槽式骨架无法达到。一种解决方案是使用3槽式骨架。参见图12和46中的2槽式骨架与3槽式骨架比较图，在3槽式骨架中，中间槽绕制次级绕组，2个串联的初级半绕组位于两个外侧的槽中。另一种解决方案是使用截面面积较大的磁芯。这样绕组圈数较少，可降低漏感感量。
- 与更短、更接近方形的磁芯相比，平坦的长磁芯/骨架易于产生较高的漏感感量。

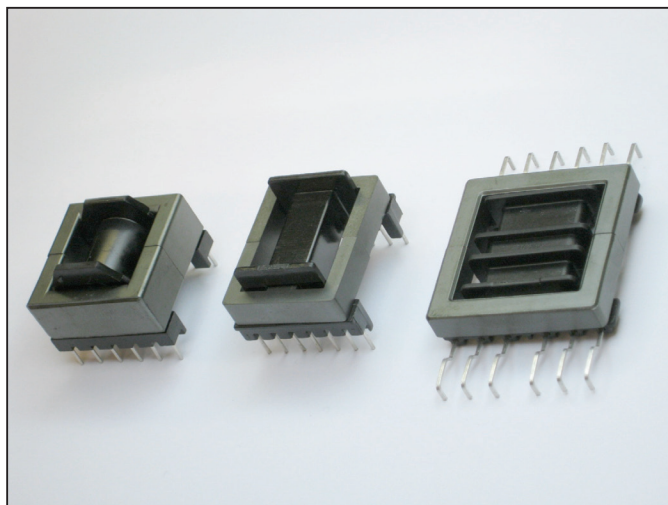


图 43. 从左到右比较EER28、EEL25磁芯（细长）和EFD35扁磁芯。在采用相同绕组槽数的情况下，细长磁芯和扁磁芯将具有比EER28更大的漏感。所有磁芯都适用于频率250 kHz、功率~150 W的情况

在变压器设计中应遵循以下指南：

- 次级半绕组在缠绕到磁芯上之前，应当相互绞合。（参见图44）

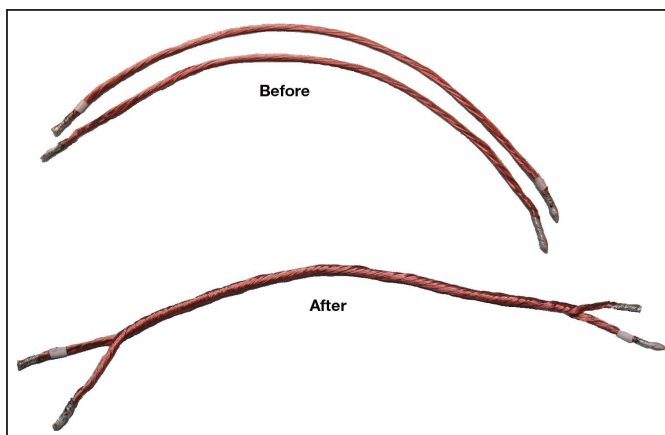


图 44. 用于次级半绕组的相互绞合的利兹线。这种技术对于改善变压器对称性（每个半绕组到初级绕组的漏感）和降低由半绕组之间漏感造成的输出整流管的电压尖峰极为有效



- 如果有2个输出，每个输出的两个次级半绕组应当相互绞合（参见图45）。

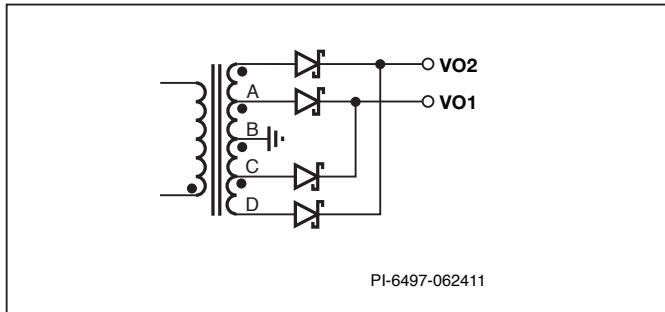


图 45. 绕组 'B' 和 'C' 互相绞合。绕组 'A' 和 'D' 互相绞合。最后的线束 A+D 和 B+C 不需要互相绞合。但用双线并绕的方式（同时绕制）可提高交叉稳压性能

- 所用的利兹线中各个单股线的绝缘层要能适应脱漆焊工艺（焊锡能够穿透绝缘层）。
- 利兹线末端需要正确镀锡。如果焊料无法完全穿透利兹线束，则会有部分线股无法导电，损耗将会显著增加。测量引脚间的 DC 阻抗并在生产中对其加以规定，可以用来检测焊料是否正确穿透绝缘层。对于高电流次级绕组，采用正确的 4 线 Kelvin 测量方法。
- 对于高电流次级绕组（例如 20 A），不要将利兹线引线端接到变压器引脚上。将利兹线穿过 PCB 上的直径较大的圆孔直接焊接于 PCB 板的效果要好得多。

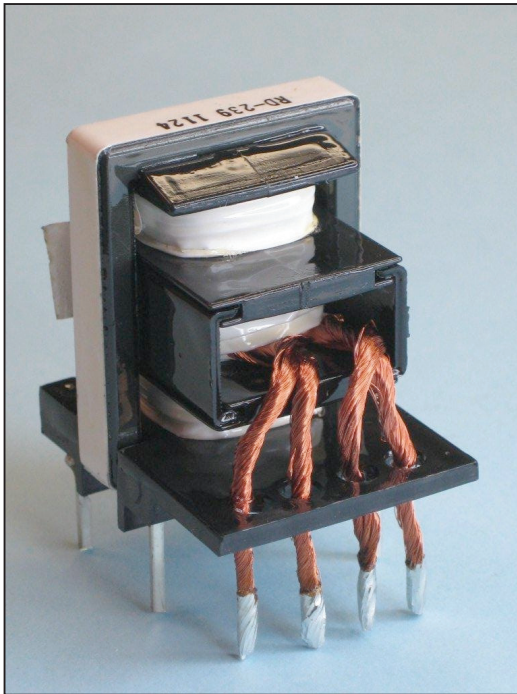


图 46. 利兹线次级绕组镀锡并准备插入 PCB 板开孔的变压器。不要将高电流利兹线次级绕组引线端接到变压器引脚上

- 切勿利兹线束并绕（对于不采用利兹线的变压器可使用多股并绕的方式绕制）。正确的方法是根据需要使用多股利兹线。在高漏感的变压器将导线或利兹线束并绕将会导致损耗过高，因为很强的漏磁通会产生轻微的电压差（原因在于 2 个线束所占用的空间不同而造成其有效圈数会有细微差异）。由于有效圈数较高的导线会强制电流流入另一条导线，因而在两个并绕的导线之间将会产生很大的循环电流。
- 由于初级绕组的层与层之间存在很大的电压差，因此初级绕组的导线最好选用有包层的利兹线。次级绕组通常选用无包层的利兹线，以达到更好的绕线密度。

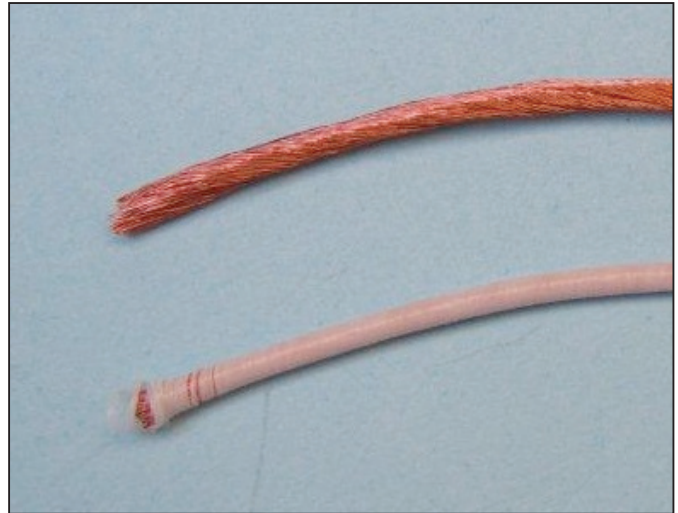


图 47. 无包层利兹线（图片上方）和有包层利兹线（图片下方）

### 谐振腔容差效应

如果集成变压器的机械结构控制的良好，其漏感感量在生产中可达到比较严格的容差，通常为±5%。由于达到严格的容差，初级绕组的漏感测量结果可作为变压器初级绕组绕制圈数是否正确的良好指标。励磁电感感量与磁芯气隙有关，其典型值具有±7%的较宽容差范围。气隙的容差对漏感感量的影响极其微小。

漏感感量和谐振电容的容差将会影响谐振频率。因为谐振频率

$$f_{RES} = \frac{1}{2 \times \pi \times \sqrt{L \times C}}$$

与感量和电容容量的平方根成反比，感量或容量的变化只能使谐振频率产生一半的变化。例如，电容量或感量的变化为 5%，则谐振频率的变化为 2.5%。



额定输入电压下对 $f_{RATIO}$ 影响最大的因素（其中 $f_{RATIO}$ 定义为

$$f_{RATIO} = \frac{f_{SW}}{f_{RES}}$$

)是变压器匝数比。谐振电感和电容的容差将会影响 $f_{RES}$ ，但不会影响 $f_{RATIO}$ 。例如，设计按额定值工作时稍低于谐振频率（二极管以轻微不连续的方式开关），即使漏感感量和电容容量存在容差，该设计仍将以这种方式继续工作。但工作频率将发生变化。

励磁（变压器初级绕组开路回路）电感量的容差对低压ZVS失去的工作点会有显著影响。建议在调节与失去ZVS工作相关的初级绕组电感量时，应确定允许的最大电感值。这个数值应该在变压器规格中作为感量的最大值而规定下来。

### 脉冲串模式的调整

在脉冲串模式下，开关频率升高并达到 $f_{STOP}$ 时，HiperLCS只是停止开关操作。输出电压开始下降，反馈环路控制的频率下降到 $f_{START}$ 时，开关操作重新开始。由于LLC的开关频率是输入电压和负载的函数，因此无法设计脉冲串模式使其在负载达到某一固定阈值时进入脉冲串模式而与输入电压无关。如果必须在低于指定负载（例如5%）时进入脉冲串模式，则必须在输入电压设定点容差的整个范围内进行测试。谐振电感量和电容容量的容差也必须加以考虑。

调谐脉冲串模式的主要考虑因素是设置 $f_{START}$ 。请参阅数据手册。数据手册的图19和表5显示 $f_{START}$ 是死区时间设置的连续反函数和脉冲串设置编号的离散函数。由于大多数设计的死区时间在290 ns到360 ns之间，因此可用 $f_{START}$ 更大程度上取决于脉冲串设置编号而非死区时间的变化。所以，必要时可使用BT#选择作为“粗调”设置，而死区时间可用于“微调”。BT3适用于 $f_{NOM} < \sim 180$  kHz的设计，BT2适用于180~280 kHz的设计，BT1适用于230 kHz以上的设计。对于大约为230~280 kHz的范围，BT1和BT2都适用。

将 $f_{NOM}$ 设置为小于 $f_{RES}$ 往往可以达到最佳的效率、EMI以及输出二极管的PIV应力。但是，即使负载为零，此类设计在额定输入电压下也可能无法进入脉冲串模式。这是因为，开关频率不需要提高太多就可以保持稳压状态。在更高的输入电压下，可以进入脉冲串模式。对于 $f_{NOM}$ 大于 $f_{RES}$ 的设计，开关频率将会随负载的降低而迅速升高。

$K_{RATIO}$ 较高的设计（谐振电感量较小）还将要求频率随输入电压和负载变化做出更大幅度的变化。

整流管的寄生电容很大，同时轻载死区时间比最佳值短的情况下（参见图34），也可促使电源更快地进入脉冲串模式。

电源在进入和退出脉冲串模式的过程中都具有迟滞特性。例如，在空载下，随输入电压升高，电源可能在电压达到410 VDC时进入脉冲串模式。进入脉冲串模式后，输入电压降低，可能在390 VDC时退出脉冲串模式。

### 谐振电容的选择

高频率工作可降低对谐振电容容量的要求。但是，纹波电流要求仍然是输入电压和功率的函数，不会随工作频率变化很多。电容供应商只是提供RMS电压随频率变化的曲线，而对纹波电流承受能力却没有加以规定，如下图48所示。

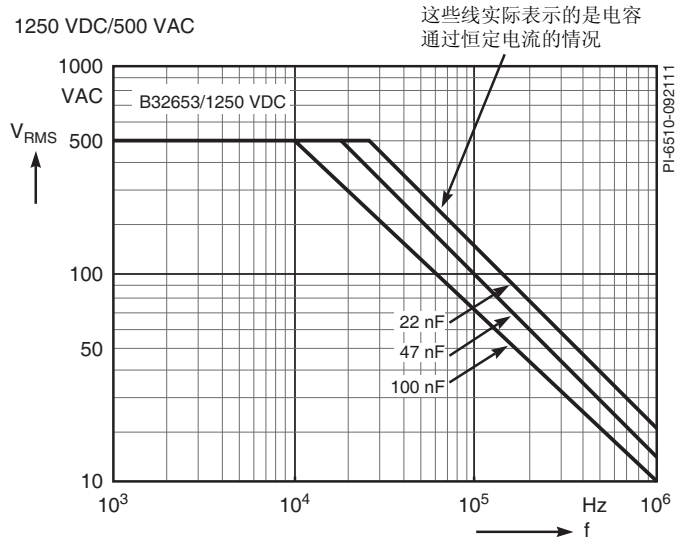


图 48. 谐振电容的工作电压相对于频率的变化曲线示例

对于任何指定频率，可通过图上的电压和阻抗计算出电流：

$$I_{RMS} = 2 \times \pi \times f \times C \times V_{RMS}$$

图48所示的典型规格中曲线的下坡部分表示电流随频率的变化相对稳定 - 电容承受电流的能力不会随频率的升高而下降。

### 输出后置滤波器

图51中的输出后置滤波器由L1和C16构成，它可对陶瓷电容两端的纹波进行衰减，其p-p值通常为输出电压的2-3%。使用陶瓷输出电容时，后置滤波器的电解电容在输出阻抗的谐振衰减中扮演重要角色。

## 反馈环路设计

HiperLCS的高频率工作能力使得其设计具有高的环路增益穿越频率和快速的响应，但是在反馈环路设计时使用陶瓷电容需要特别注意一些。

陶瓷电容和LLC输出阻抗可在10 kHz到50 kHz频率范围形成一个阻抗峰值，这取决于电容容值和LLC功率转换电路的特性。对于反馈环路，此峰值的频率过高，以至于环路无法有效对其衰减。为了衰减该峰值，需要在后置滤波器中使用电解电容（图51中的C16）。此电容同时还对上升下降沿变化快速的负载阶跃响应具有直接影响。

图49中的等效电路图示了LLC转换器的输出阻抗。

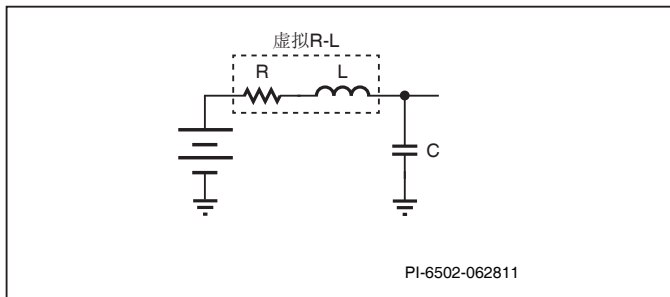


图 49. LLC输出阻抗等效电路

“虚拟”串联R-L与功率转换电路参数无关。C是主输出的陶瓷电容。串联R的数值很低，大约相当于负载阻抗的1-10%。

LLC输出阻抗的特性如图50所示。

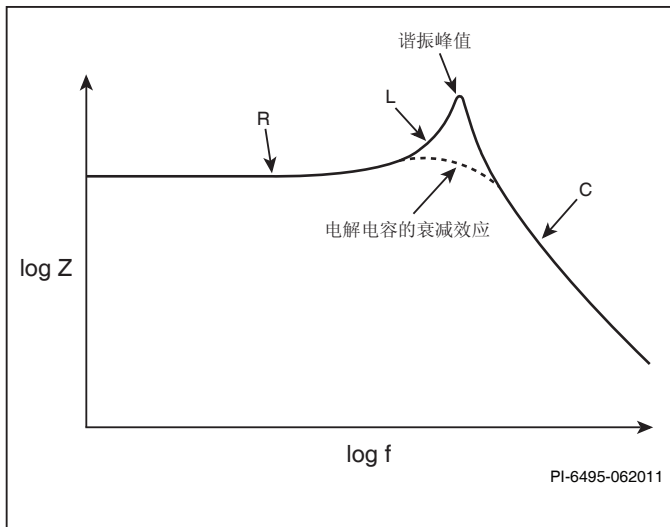


图 50. LLC输出阻抗。虚线表示由后置滤波器中的电解电容产生的衰减效应

即使反馈环路非常慢，也将会因输出阻抗峰值的存在，导致电源对负载的快速阶跃响应产生振荡。

此输出阻抗峰值可导致电源不稳定和振荡。阻抗峰值在反馈环路响应中产生类似的峰值，可在增益/相位图中观察到。

为了衰减该峰值，后置滤波器电解电容的ESR需要低于振荡的特性阻抗：

$$ESR < \frac{1}{2 \times \pi \times f_{RING} \times C}$$

其中， $f_{RING}$ 是峰值本身的频率，C是陶瓷输出电容。

此电容的容量必须确保振荡频率下的容抗低于ESR的一半。换言之，电容的“零频率”点必须低于振荡频率的一半：

$$\frac{1}{2 \times \pi \times ESR \times C} < \frac{f_{RING}}{2}$$

超低ESR电容易于获得较高的“零频率”点，该值大约为10 kHz。在某些情况下有些过高。在这种情况下，ESR较高或容量较高的电容器可以更有效地衰减振荡。

后置滤波器电感（对于180-250 kHz的设计，感量通常为150-300 nH）与电解电容的ESR在远高于振荡频率的频率点会形成一个极点，因此在所关心的频率下可形成虚拟短路，该极点不用于反馈的补偿。电感在 $f_{RING}$ 下的阻抗必须远低于ESR。为此，该电感的值不能随意升高，因为那样将会妨碍电解电容对转换器输出阻抗峰值衰减能力，并可能产生振荡。

在实际情况下，电解电容的大小可根据大阶跃负载要求和脉冲串模式输出纹波性能进行调整。这样的电容将比输出衰减所需的电容要大些。

在设计初级和次级反馈电路时需要特别小心，以达到高增益穿越频率和快速响应的设计目标。请参见图51。

## TL431电路

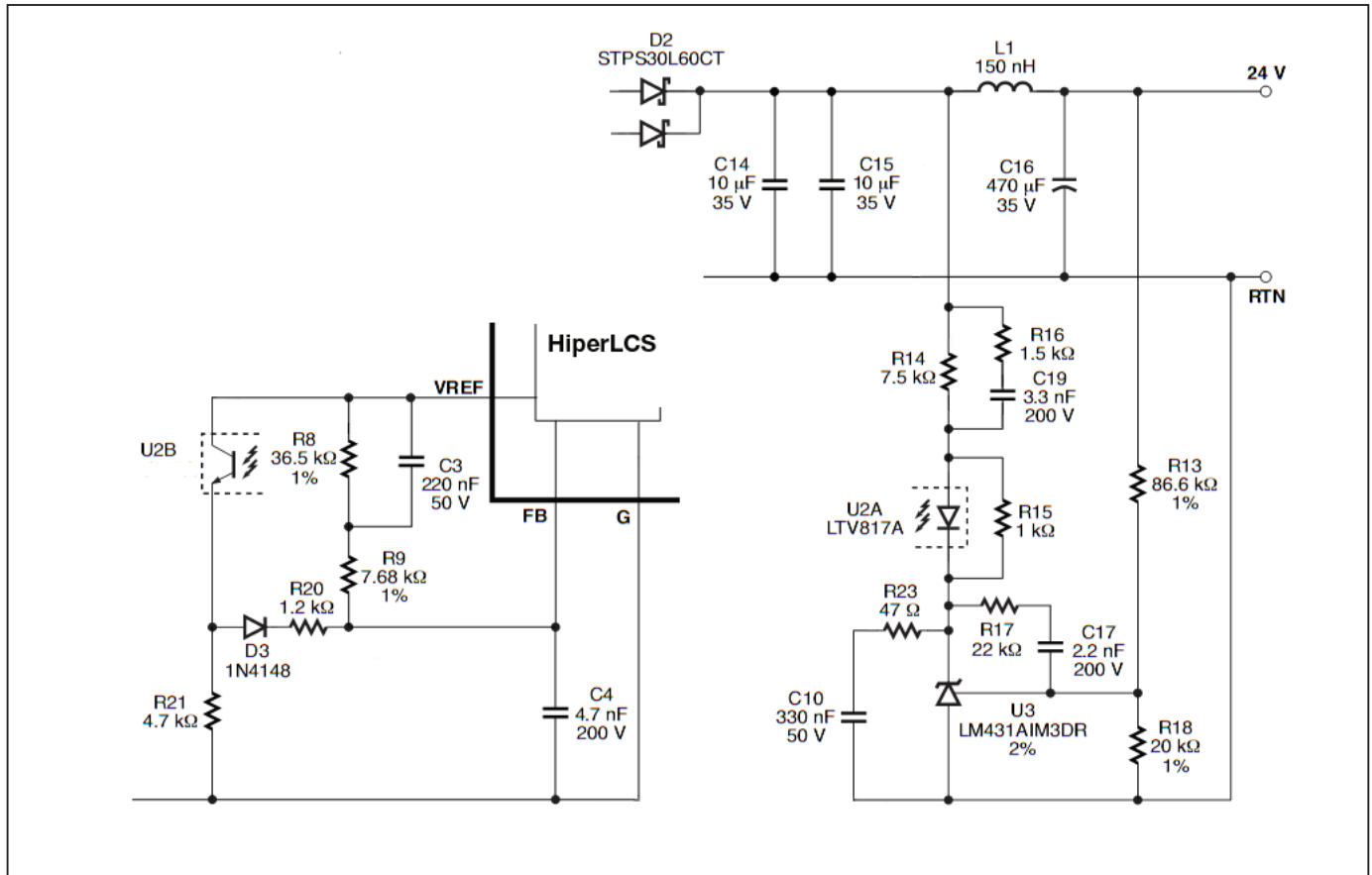


图 51. 初级和次级反馈电路

确保串联流限电阻（图51中的R14）足够小，以使TL431饱和时光耦中的晶体管即使在最低CTR规格时都能够达到饱和，前提是假定反馈引脚上的电压为2.0V（最差条件，以 $f_{MAX}$ 的开关频率进行脉冲串模式工作），反馈引脚电流 =  $I_{FMAX}$  ( $f_{MAX}$ 下的电流)。如果DC增益不足，空载、高输入电压下的输出电压将升高到稳压设定点以上。根据所用TL431的数据手册，R15用于设置其最小电流。此电流等于光耦中二极管的 $V_f$ 除以R15的值。

R14和R21（光耦器负载）是主要的用于增益设定的元件。R9和反馈引脚输入电阻（通常为2.5 k $\Omega$ 构成的并联电阻与R20的总电阻与R21形成分流器。

如果R21降低或R14升高，AC和DC增益将会下降，设计师必须确保光耦器中有足够大的增益，以使反馈引脚的电压在 $I_{FMAX}$ 下达到2.0V。

如果需要降低增益，而光耦器的DC增益不足，则可使用跨接于R21两端的RC串联电路，请参见图51。

所示数值为典型值。此电路用于在输出阻抗开始向峰值升高的频率点附近增加一个一极点，以便增加增益裕量（见图50）。

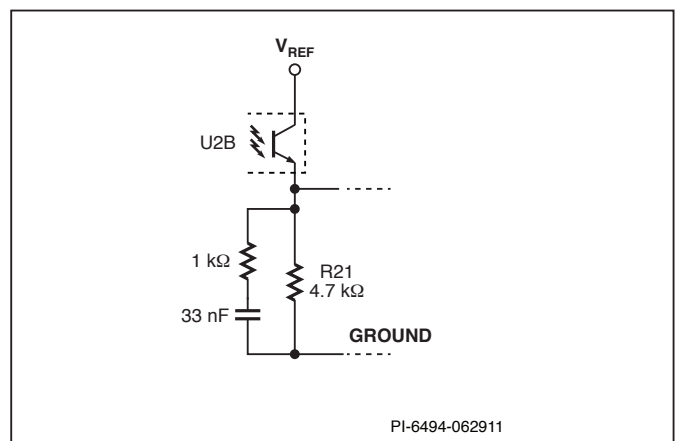


图 52. 高频增益降低电路

在很多情况下，当使用图52中的增益降低电路时，应当去掉RC“相位超前”电路（图51中的R16和C19）。

R16和C19形成高频相位超前电路，用于增加相位裕量，升高增益穿越频率。它的作用与图52中的增益降低电路相反。

TL431反馈电路的R17和C17电路用于对环路的低频增益特性（在高频率下，则由R16和C19发挥作用）加以设定。C10是“软启动结束”电容，可降低启动时的输出电压过冲。R23仅用于防止C10成为TL431的负载。C10对电路的小信号响应没有影响，因为与R23的值相比，TL431在其阴极的输出阻抗非常小。

R17在增益/相位图上只有很小的影响，但可以显著改善启动过冲。

LLC在低输入电压、满载时呈现最大DC和低频增益，因此如果有任何稳定性的问题都会在此条件下显现出来。应确认LLC不会在维持时间工作期间突然进入振荡，因为在很低的输入电压下其增益会增大。

反馈引脚上的旁路电容与反馈引脚的输入阻抗（额定值为2.5 kΩ）形成一个极点。此极点可在增益穿越频率点（对于250 kHz的设计通常为2-10 kHz）造成明显的相移。此极点可通过TL431周围的相位超前RC电路（图51中的R16和C19）加以补偿。

### 陶瓷旁路电容

最好选用SMD类型的电容作为HiperLCS的旁路电容，因为其体积小，适合于非常紧凑的布局。陶瓷SMD电容在手工焊接和装配过程中很容易受到机械损坏。

### 输出二极管

LLC中的输出二极管峰值反向电压（不计电压尖峰）为

$$PIV = 2 \times (V_o + V_D)$$

如果次级半绕组小心布局并相互绞合，且LLC在高输入电压下的工作频率仅仅是略高于谐振频率，则电压尖峰造成的PIV升高可限制在20%以内。如果主输出电容上存在明显的开关频率纹波（参见图42以了解2倍开关频率下的正弦波形），此电压也将升高。

特别低正向电压肖特基二极管在 $T_j > 85^\circ\text{C}$ 时，经常会由于反向漏感损耗增加而表现为总损耗增大，因此需要在低于标准肖特基温度规格以下工作，以获得更高的效率。

### 同步整流管

同步整流管可以在HiperLCS的设计中使用。高频工作所需的关键特性包括：

- 控制器具有高频能力 – 信号传播延迟时间长，会降低潜在的效率提升
- 用于高频同步整流的MOSFET必须具有很低的 $Q_{GS}$ 。对于给定的 $R_{DS-ON}$ ，耐压低的MOSFET其 $Q_{GS}$ 也较低。如果使用 $Q_{GS}$ 与电压的关系曲线作为参考，而曲线中包含多个 $V_{DS}$ 值，则使用 $V_{DS} = 0$ 的值，因为同步整流用的MOSFET是在 $V_{DS} = 0$ 时关断的。可以用 $Q_{GS} \times R_{DS}$ 的数值（性能因数）来推断该MOSFET的性能指标。

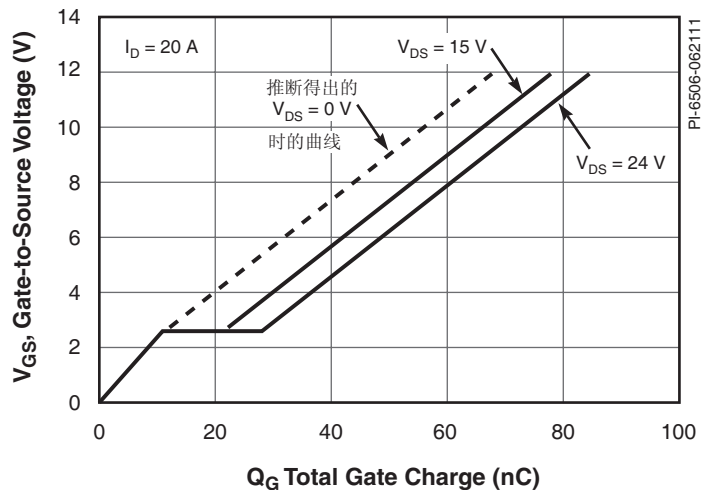


图 53. 所示为典型的栅极电荷曲线（适用于12 V/20 A输出的5 mΩ同步整流 MOSFET）。经过推断可以得出 $V_{DS} = 0$ 时的曲线。本例中的性能因数是 $5 \text{ M}\Omega \times 65 \text{ nC} = 325 \text{ p}\Omega\text{-C}$

- 紧凑的PCB布局 – 这样可减少漏感电压尖峰，以便于使用低耐压的MOSFET，同时可以保证在高频工作时控制器能够准确检测
- 次级两个半绕组的PCB布局的对称性对于轻负载下的同步-整流工作至关重要
- 优先选用双相位输出的控制器（一个控制器控制两个MOSFET）。这将极大地减少轻负载下正常工作可能出现的问题

由于源极接地的N沟道MOSFET栅极驱动是最简单的方法，因而在多路输出的设计中同步整流不太适合采用AC叠加的变压器叠加方式。

### 自举二极管

由于在启动的前几个周期中会出现很高的反向恢复电流，因而VCCH自举二极管（图1中的D1）需要使用超快速二极管（ $\leq 75 \text{ ns}$ ）。而且需要重新检查高温条件下启动时的反向恢复峰值电流。

### 辅助电源

给VCC供电的辅助供电电压应稳定在11.4 V（最大VCC启机阈值）和15 V（VCC ABS MAX）之间。采用简单的齐纳稳压管 + BJT串联稳压器的效果会非常好，参见图56。如果辅助电源同时还作为电源的输出，比如5 V待机输出，则需要在辅助电源串联稳压器的前端连接一个较大的输出电容（220 ~ 470 μF），以便在待机输出负载出现突变过程中提供持续能量。在负载突变过程中，待机电源可能会瞬间停止开关，电容将提供能量以维持VCC电压。

### EMI、ESD及浪涌因素的考量

集成变压器具有较低的初次级寄生电容，有助于减小EMI共模电流。同时也有助于通过ESD测试。

初级绕组的起绕端（位于初级绕组的内部）应连接至HB引脚的节点。初级绕组另一端的结束端（靠近外部）应该连接至谐振电容或B-的节点。HB节点具有很高的dv/dt（上升下降沿变化快速），dv/dt噪声会以容性耦合的方式耦合至外部，从而增大EMI。如果该节点位于绕组的内部，其上面的线圈将起到法拉第屏蔽的作用。

磁芯应电气接地到B-。不要在集成变压器外部使用“外包铜带”（在线圈外部进行短路连接）。它将造成强漏磁通短路、降低效率并改变变压器工作特性。出于同样的原因，应避免将变压器放置于靠近金属外壳的位置。

改进抗ESD和共模浪涌能力的其他建议：

辅助电源VCC回路的负端应连接至大容量电容的B-端，而不要连接至HiperLCS的S引脚。这样做是为了让流经辅助电源变压器的ESD和浪涌电流能够直接流向大容量电容的B-端进而到达AC输入端，请参见图55。

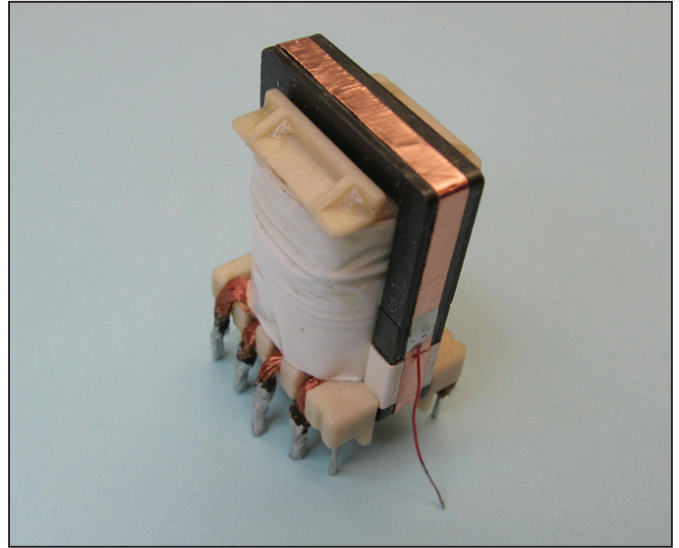


图 54. 图中所示为有软导线连接的磁芯接地铜带，此导线可焊接到PCB上的B-节点

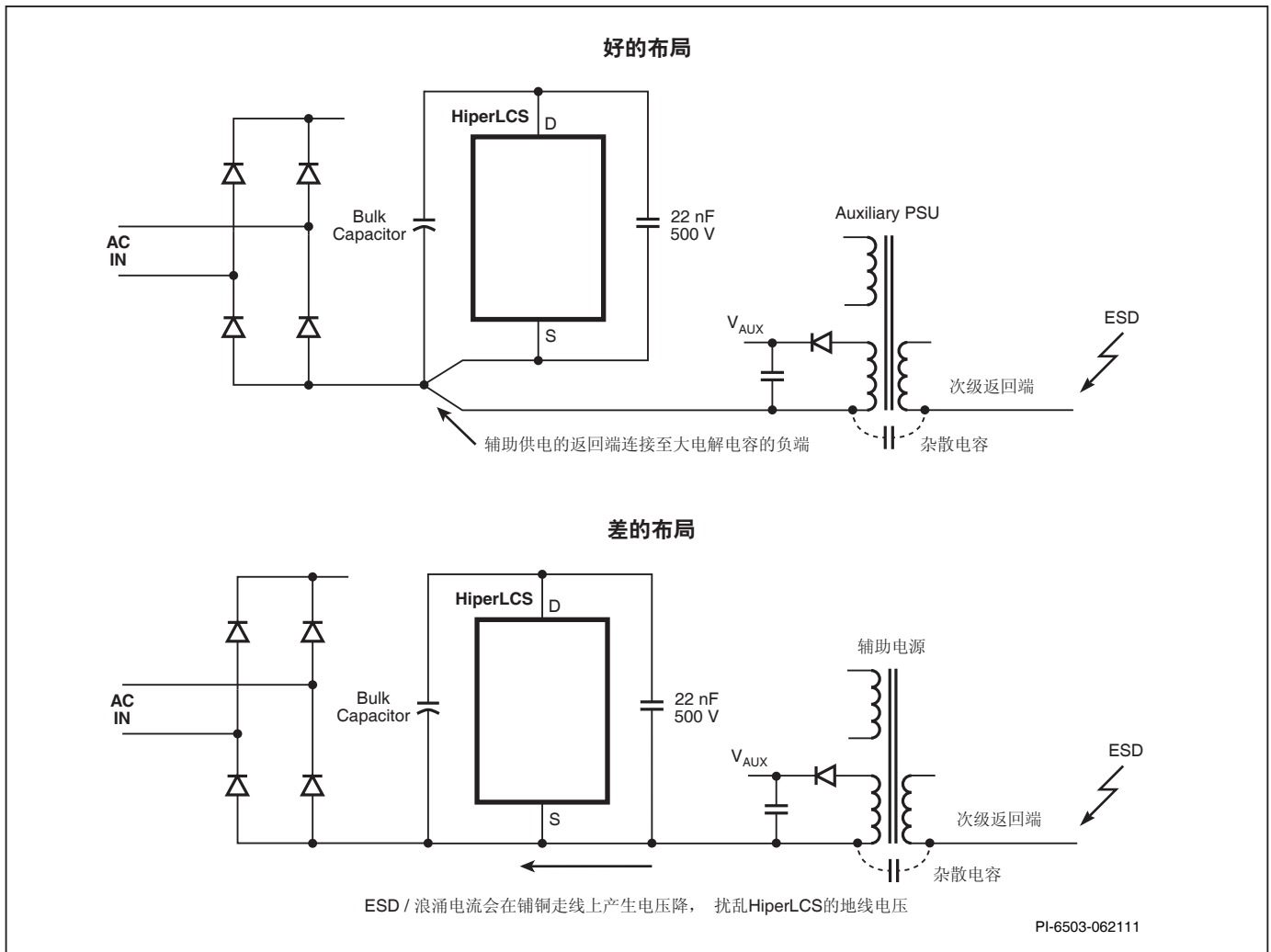


图 55. 辅助电源变压器回路的返回端应连接至大容量电容的B-，以提高抗ESD和抗共模浪涌能力。ESD和浪涌电流从次级绕组流经变压器杂散电容，最后流向AC输入端。请参见图56，了解V<sub>AUX</sub>引脚的连接方法



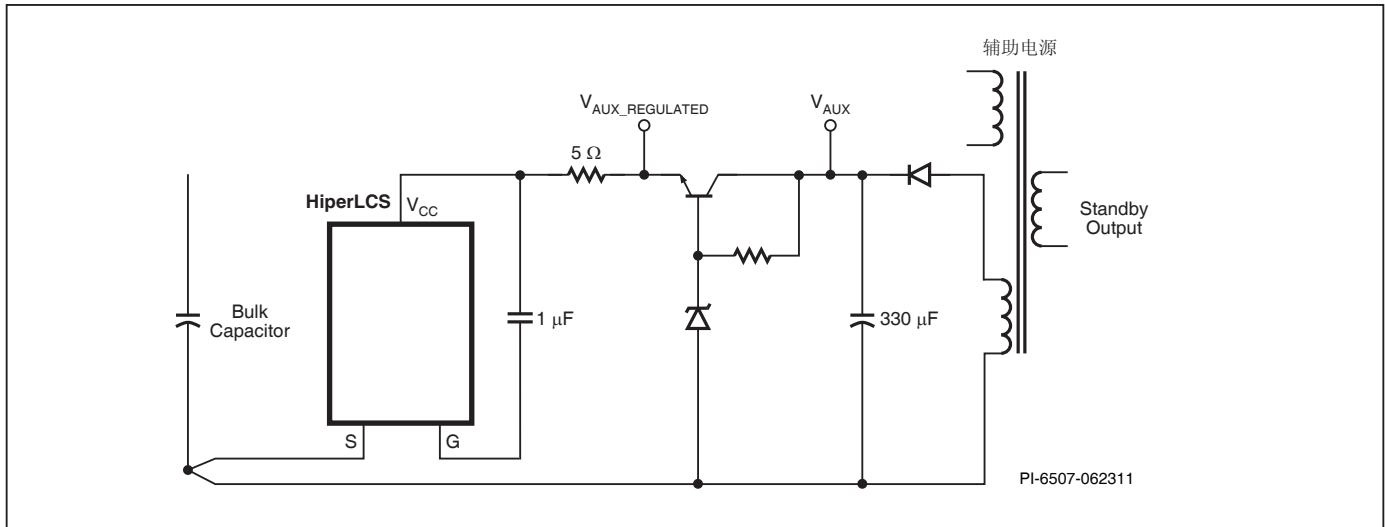


图 56. 图示为辅助电源连接至HiperLCS VCC端的连接方式。HiperLCS的S引脚和G引脚是在内部相连的。在进行PCB布局时，不要在外部进行连接。BJT + 齐纳稳压器如图中所示。5 Ω电阻与1 μF电容提供适当的VCC去耦。330 μF电容在辅助输出发生负载突变时提供能量“维持”

HiperLCS的S引脚和G引脚内部相连。在进行PCB布局时，不要将它们在外部分进行连接。BJT + 齐纳稳压器如图56中所示。5 Ω电阻和1 μF电容提供适当的VCC去耦。330 μF电容在辅助输出发生负载突变时提供能量“维持”。

Y电容在初级侧应走线连接至大容量电容的B-端。

Y连接到大容量电容B-端的走线不得靠近光耦器或反馈以及连接至DT/BF引脚的PCB走线。如有可能，请在变压器的另一端走线（参见图57）。这样可降低浪涌电流对反馈引脚电路的感性耦合。

为改善抗浪涌能力，变压器的初级绕组至次级绕组之间、初级至磁芯以及次级至磁芯之间必须采用加强绝缘。变压器应能够在额定浪涌电压下通过耐压测试。

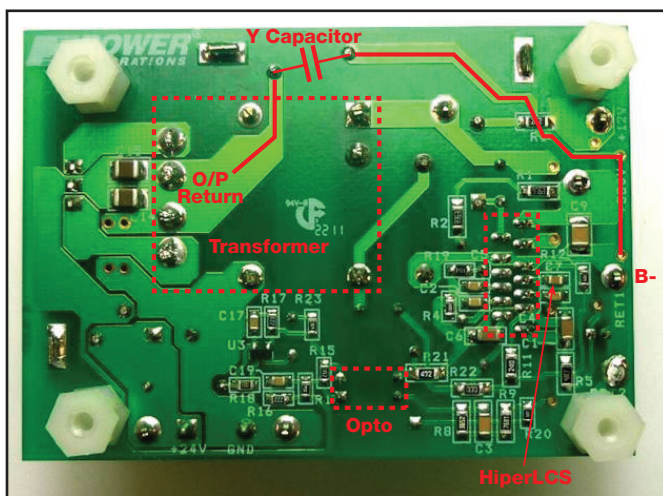


图 57. Y电容的返回端连接至B-。其走线位于一侧具有光耦器和反馈引脚电路的变压器的另外一侧

### 峰值电流和SOA因素的考量

在假定 $T_J < 100\text{ }^\circ\text{C}$ 、 $V_D < 400\text{ VDC}$ 且 $t < 460\text{ ns}$ 的情况下进行短路测试，测得的漏极电流及HB MAX重复电流可以超过容许值。

图58的示例为输出短路的波形。图中LCS700的ABS MAX漏极峰值重复电流已经被超过。

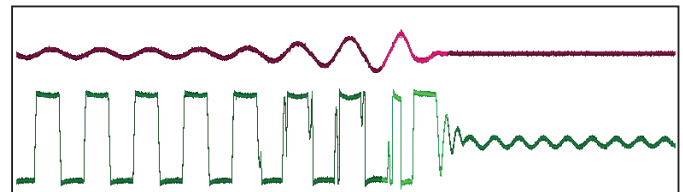


图 58. 短路波形

图59为放大显示的该波形。

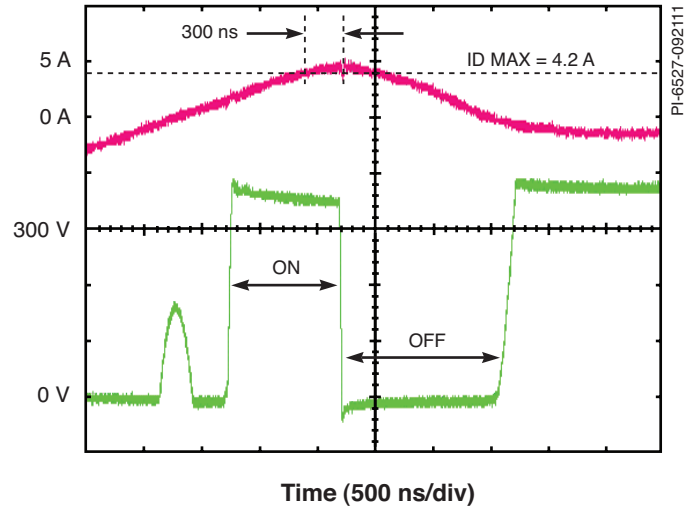


图 59. 放大显示的图58波形。波形所示为在 $I_{MAX}$ 超过期间对电流时间测量的正确方法。当上管MOSFET导通时，电流超过 $I_{MAX}$ 规定值。“导通”和“关断”是指上管MOSFET的状态。测得的时间约为300 ns

测量时间必须在MOSFET处于导通状态进行，请参见图59。电流在标注的测量时间间隔之后会流入下管MOSFET的体二极管，在此时间间隔不应超过MOSFET的SOA工作范围。在本例中， $t = 300$  ns，这个时间间隔是可以接受的。

## 附录A

## 两个漏感模型

在此模型中，匝数比等于实际物理匝数比，即初级绕组圈数除以次级绕组圈数：

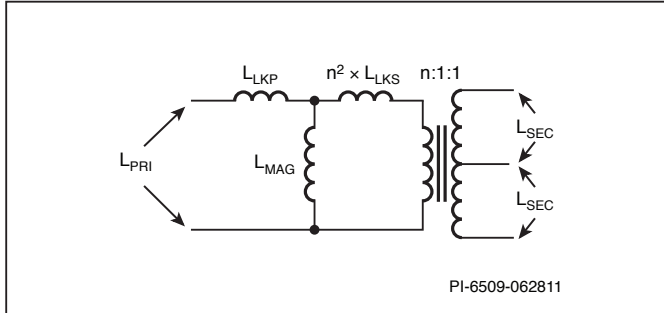


图 60. 所示为两个漏感的集成变压器等效电路。它具有独立的初级和次级漏感。  
 $n$  = 实际匝数比：初级绕组圈数除以次级绕组圈数。 $L_{LKP}$  为初级漏感感量， $L_{LKS}$  为次级漏感感量。图中所示次级漏感可通过匝数比  $n$  反射到初级

因子 ‘ $m$ ’ 是漏感分布因子，与一个漏感模型和两个漏感模型相关（参见图8），可根据  $L_{LKP}$  和  $L_{LKS}$  计算得出：

$$m = \frac{L_{LKP}}{L_{LKP} + n^2 \times L_{LKS}}$$

$m$  的变化范围是 0~100%。>50% 的百分比表示在初级绕组两端测得的总漏感（图8中的  $L_{RES}$ ）中的大部分都存在于  $L_{LKP}$ 。如果变压器气隙的位置距初级绕组更近些， $m$  将增大， $L_{PRI}$  将减小，而  $L_{SEC}$  将增大，与  $m = 50\%$  相比变压器将需要更多的圈数。

$L_{SEC}$  是作为一个输入参量（留空时将采用默认值），而  $m$  是输出参量。输入准确的测量值  $L_{SEC}$  测量值即可计算出实际的  $m$  数值，进而提高设计表格对所有其他参数的计算准确性。

$m$  的有效范围(1-99%)限定了  $L_{SEC}$  的有效范围。如果用户输入的  $L_{SEC}$  值不在此有效范围内，则会显示警告信息。

由于  $n_{EQ}$  取决于  $L_{SEC}$ ，而  $f_{PREDICTED}$  很大程度上取决于  $n_{EQ}$  因此改变  $L_{SEC}$  将会影响  $f_{PREDICTED}$ 。 $f_{PREDICTED}$  的准确性取决于  $L_{SEC}$  值的准确性。

## 附录B

## 其它可选的次级绕组结构

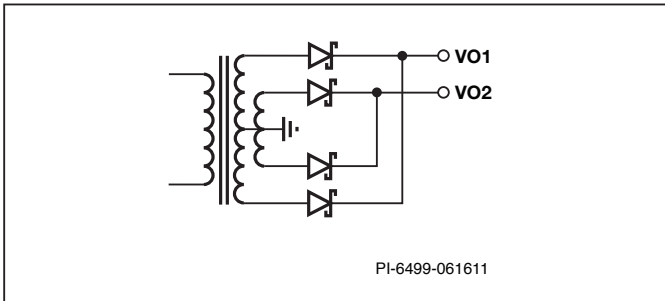


图 61. 双输出设计中采用独立次级绕组的次级绕组结构

图61所示的输出结构与AC叠加（图4和图5）方式的绕组结构相比几乎没有优势，因此不作首选。其交叉稳压性能较差，铜线利用率不高（在所用总铜量给定的情况下，损耗较高）。只有当 $VO_2$ 输出电压较低且电流很低的情况下，才会用到这种变压器结构。它可以不用将引线连接至变压器的多个引脚以流过高电流，而如果将具有高电流输出的次级引线连接至多个变压器引脚则会增加损耗。如果 $VO_2$ 输出电压高于 $VO_1$ ，最好直接将其绕组以AC叠加的方式叠加到 $VO_1$ 绕组上。

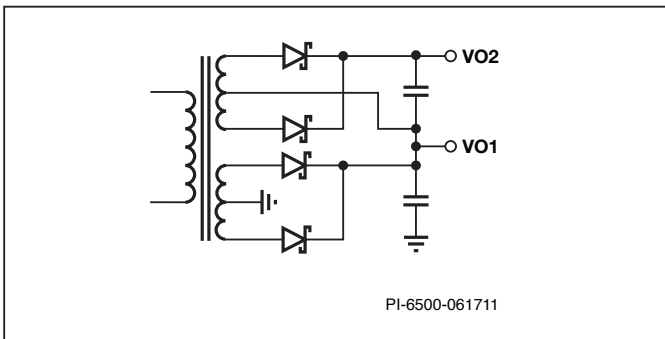


图 62. 双输出设计中次级绕组以“DC叠加”方式的次级绕组结构。如果两个输出不相连，则可将两个绕组悬浮，产生独立的输出

图62所示为次级绕组采用“DC叠加”方式的绕组结构。其效率比AC叠加方式要低，这是因为 $VO_2$ 负载电流要流经两组输出二极管，而不像AC叠加方式仅通过一组二极管。这种绕组结构也不是优选配置。仅在两个输出需要彼此隔离（两个绕组都是相对独立的输出）的情况下才会使用。

## 全桥

图63所示为全桥次级绕组结构。次级电流流经2个串联的二极管，这会降低效率。二极管电压应力约等于输出电压（而使用中心抽头次级绕组的二极管电压应力 $\sim 2 \times$ 输出电压）。基于这些原因，这种结构适用于输出电压极高的情况。此时，相对于具有两倍PIV额定值的二极管，具有较低反向耐压额定值的二极管具有更佳的反向恢复特性。对于高于谐振频率运行的设计来说，二极管是处于连续导通方式的，而更佳的反向恢复特性则是一项优势。同时它还具有次级绕组铜线利用率高的优势，但在大部分应用中，这一优势往往会被总二极管压降的增加所抵消。另一项比较小的优势是，这种绕组结构不存在次级绕组对称性的问题。

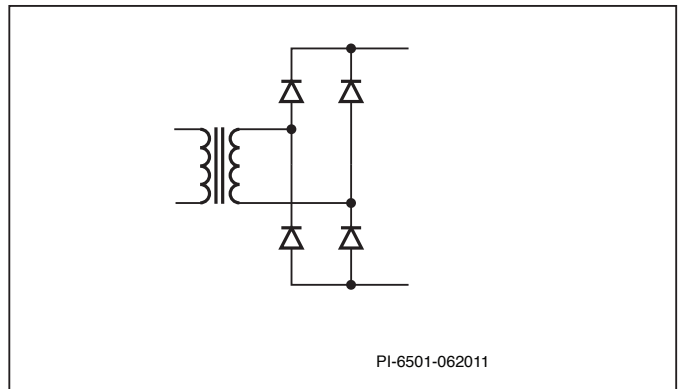


图 63. 全桥次级绕组结构

修订版本	注释	日期
A	初始版本。	06/11
B	修改了图21、47及58。从11页开始重新进行了编号。	09/11

### 了解最新信息. 请访问我们的网站: [www.powerint.com](http://www.powerint.com)

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

### Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at [www.powerint.com](http://www.powerint.com). Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.powerint.com/ip.htm>.

### Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, LinkSwitch, DPA-Switch, PeakSwitch, CAPZero, SENZero, LinkZero, HiperPFS, HiperTFS, HiperLCS, Qspeed, EcoSmart, Clamless, E-Shield, Filterfuse, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2011, Power Integrations, Inc.

### Power Integrations全球销售支持网络

<b>全球总部</b> 5245 Hellyer Avenue San Jose, CA 95138, USA. Main: +1-408-414-9200 Customer Service: Phone: +1-408-414-9665 Fax: +1-408-414-9765 e-mail: <a href="mailto:usasales@powerint.com">usasales@powerint.com</a>	<b>德国</b> Rüeckertstrasse 3 D-80336, Munich Germany Phone: +49-89-5527-3910 Fax: +49-89-5527-3920 e-mail: <a href="mailto:eurosales@powerint.com">eurosales@powerint.com</a>	<b>日本</b> Kosei Dai-3 Bldg. 2-12-11, Shin-Yokomana, Kohoku-ku Yokohama-shi Kanagwan 222-0033 Japan Phone: +81-45-471-1021 Fax: +81-45-471-3717 e-mail: <a href="mailto:japansales@powerint.com">japansales@powerint.com</a>	<b>台湾</b> 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei, Taiwan 114, R.O.C. Phone: +886-2-2659-4570 Fax: +886-2-2659-4550 e-mail: <a href="mailto:taiwansales@powerint.com">taiwansales@powerint.com</a>
<b>中国 (上海)</b> Room 1601/1610, Tower 1 Kerry Everbright City No. 218 Tianmu Road West Shanghai, P.R.C. 200070 Phone: +86-21-6354-6323 Fax: +86-21-6354-6325 e-mail: <a href="mailto:chinasales@powerint.com">chinasales@powerint.com</a>	<b>印度</b> #1, 14th Main Road Vasanthanagar Bangalore-560052 India Phone: +91-80-4113-8020 Fax: +91-80-4113-8023 e-mail: <a href="mailto:indiasales@powerint.com">indiasales@powerint.com</a>	<b>韩国</b> RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea Phone: +82-2-2016-6610 Fax: +82-2-2016-6630 e-mail: <a href="mailto:koreasales@powerint.com">koreasales@powerint.com</a>	<b>欧洲总部</b> 1st Floor, St. James's House East Street, Farnham Surrey GU9 7TJ United Kingdom Phone: +44 (0) 1252-730-141 Fax: +44 (0) 1252-727-689 e-mail: <a href="mailto:eurosales@powerint.com">eurosales@powerint.com</a>
<b>中国 (深圳)</b> Rm A, B & C 4th Floor, Block C, Electronics Science and Technology Bldg., 2070 Shennan Zhong Rd, Shenzhen, Guangdong, China, 518031 Phone: +86-755-8379-3243 Fax: +86-755-8379-5828 e-mail: <a href="mailto:chinasales@powerint.com">chinasales@powerint.com</a>	<b>意大利</b> Via De Amicis 2 20091 Bresso MI Italy Phone: +39-028-928-6000 Fax: +39-028-928-6009 e-mail: <a href="mailto:eurosales@powerint.com">eurosales@powerint.com</a>	<b>新加坡</b> 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 Phone: +65-6358-2160 Fax: +65-6358-2015 e-mail: <a href="mailto:singaporesales@powerint.com">singaporesales@powerint.com</a>	<b>技术支持热线</b> World Wide +1-408-414-9660  <b>技术支持传真</b> World Wide +1-408-414-9760